

* NOTICES *

JPO and NCIPI are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

CLAIMS

[Claim(s)]

[Claim 1] The manufacture approach of the semiconductor device characterized by having the process which makes the shape of a layer carry out epitaxial growth of the germanium film on a silicon substrate, the process which forms in the upper part of this germanium film the enveloping layer which consists of silicon or silicon germanium mixed crystal, and a heat treatment process.

[Claim 2] the process which makes the shape of a layer carry out epitaxial growth of the 1st germanium film on a silicon substrate -- this -- the manufacture approach of the semiconductor device characterized by having the process which forms in the upper part of the 1st germanium film the enveloping layer which consists of silicon or silicon germanium mixed crystal, a heat treatment process, and the process which makes the upper part of this enveloping layer carry out epitaxial growth of the 2nd germanium film to the shape of a layer.

[Claim 3] The process which makes the shape of a layer carry out epitaxial growth of the 1st germanium film on a silicon substrate, this -- with the process which forms in the upper part of the 1st germanium film the 1st enveloping layer which consists of silicon or silicon germanium mixed crystal The 1st heat treatment process and the process which makes the upper part of this 1st enveloping layer carry out epitaxial growth of the 2nd germanium film to the shape of a layer, this -- the manufacture approach of the semiconductor device characterized by having the process which forms in the upper part of the 2nd germanium film the 2nd enveloping layer which consists of silicon or silicon germanium mixed crystal, and the 2nd heat treatment process.

[Claim 4] The manufacture approach of the semiconductor device according to claim 1, 2, or 3 characterized by the stratified film which grows on a silicon substrate being silicon germanium mixed-crystal film.

[Claim 5] The manufacture approach of a semiconductor device given in any 1 term of claims 1-4 characterized by forming a silicon layer on the maximum upper germanium film or the maximum upper covering film.

[Claim 6] The manufacture approach of the semiconductor device according to claim 5 characterized by forming an electrode by doping boron, Lynn, or arsenic into the maximum upper silicon layer.

[Claim 7] Si device used as a driver or amplifier is arranged on Si substrate front face. After etching Si, forming a slot and covering parts other than a groove bottom side by silicon oxide or the silicon nitride from this substrate front face, By turns GeH_4 and Cl_2 according to or the process 1 which supplies Si_2H_6 , and GeH_4 and Cl_2 by turns Form alternatively germanium layer or the $\text{Si}_1\text{-XGeX}$ layer used as a light sensing portion all over a slot, and Si layer is alternatively formed all over a slot according to the process 2 which supplies Si_2H_6 and Cl_2 by turns. Or the light sensing portion which consists of two or more layers with Si layer, germanium layer, or an $\text{Si}_1\text{-XGeX}$ layer by repeating a process 1 and a process 2 further is alternatively formed all over a slot. then Si_2H_6 and B-2s H_6 and Cl_2 -- alternation -- Si_2H_6 , and PH_3 and Cl_2 -- alternation -- or by supplying Si_2H_6 , and arsenic and Cl_2 by turns [or] The manufacture approach of a semiconductor device given in any 1 term of claims 1-6 characterized by forming an electrode layer alternatively all over a slot.

[Translation done.]

* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Field of the Invention] This invention relates to the manufacture approach of a semiconductor device, especially the method of carrying out epitaxial growth of the semiconducting crystal of germanium or silicon germanium mixed crystal on a silicon substrate. Furthermore, it is related with the manufacture approach of the bipolar transistor using SiOEIC, germanium, and silicon germanium mixed crystal which really form the photo detector which has sensibility in wavelength, such as 0.98 micrometers and 1.3 etc. micrometers, on LSI of silicon.

[0002]

[Description of the Prior Art] It is silicon and germanium or the hetero epitaxial structure of silicon and silicon germanium mixed crystal attracts attention as an ingredient which raises the property of a hetero BAIBORA transistor or an optical element by leaps and bounds. Then, to form crystalline good hetero structure is tried by vapor growth, such as CVD and MBE.

[0003] The germanium on a silicon substrate having about 4% of stacking fault affinity (misfit), and having the growth format of a SUTORAN skiing class TANOFU (Stranski-Krastanov) mold is known. Although it grows epitaxially in the shape of a layer and the front face of the film is flat in early stages of growth, if the thickness exceeds about 3 atomic layers, the island structure of germanium will come to be formed in a front face, and the surface smoothness on the front face of the film will be spoiled remarkably. Furthermore, from the edge of a germanium island, a misfit rearrangement is introduced and the rearrangement (called a penetration rearrangement) through which it especially pierced in the thickness direction in the film is formed. In order to remove island-izing and the penetration rearrangement of such germanium as much as possible, J.M. Baribeau and others has tried the approach of making elevated-temperature growth and subsequent elevated-temperature heat treatment removing a penetration rearrangement out of the film, in paper J. Vac. Sci. Technol. A5 (4) and 1898 (1987). Moreover, since island-izing and penetration rearrangement installation can also be controlled by making silicon mix into a germanium layer and making it silicon germanium mixed crystal A. Kastalsky and others The paper Symposium of the 1st International In Symposium on silicon Molecular Beam Epitaxy, edited by J.C. Bean (Electrochemical Society, Pennington, NJ, 1985), and P.406 The buffer layer which changed the mixed-crystal ratio to right above [of an III-V substrate], and a superlattice layer are inserted, and the germanium layer with few penetration rearrangements is formed in the upper part.

[0004] Moreover, as the formation approach of a Si/SiGe superlattice layer of having a flat interface, Igarashi etc. formed the SiGe layer on Si substrate below by the critical thickness in which rough NINGU occurs, and has proposed the approach of forming the enveloping layer of Si on this SiGe front face continuously first as indicated by the 174th page of the collection first separate volume of the 56th Japan Society of Applied Physics academic lecture meeting lecture drafts. However, this approach is the approach of forming the Si/SiGe distortion super-latticed layer which carried out lattice matching to Si substrate, and is not the approach of forming a thin film without the penetration rearrangement of

germanium which carried out grid relaxation, or SiGe on Si substrate.

[0005]

[Problem(s) to be Solved by the Invention] the above -- even if it carried out with which approach, the distortion resulting from misfit with a silicon substrate which cannot remove completely the penetration rearrangement in the germanium film or the silicon germanium mixed-crystal film, and cannot make a film front face flat on atomic level, but exists in the germanium film made to form further or the silicon germanium mixed-crystal film was not able to be made to ease completely The heterogeneity of such membrane structure is harmful after the device which led to the increment in leakage current etc. and was produced with the application of it property improving.

[0006] Then, the purpose of this invention removes such a conventional fault, and there is no penetration rearrangement into the film, and it is to offer the approach of growing up the germanium film or silicon germanium mixed-crystal film with a flat front face which carried out grid relaxation completely on a silicon substrate.

[0007]

[Means for Solving the Problem] this invention persons completed this invention, as a result of repeating various examination, in order to attain the above-mentioned purpose.

[0008] The 1st invention relates to the manufacture approach of the semiconductor device characterized by having the process which makes the shape of a layer carry out epitaxial growth of the germanium film on a silicon substrate, the process which forms in the upper part of this germanium film the enveloping layer which consists of silicon or silicon germanium mixed crystal, and a heat treatment process.

[0009] the process to which the 2nd invention makes the shape of a layer carry out epitaxial growth of the 1st germanium film on a silicon substrate -- this -- it is related with the manufacture approach of the semiconductor device characterized by having the process which forms in the upper part of the 1st germanium film the enveloping layer which consists of silicon or silicon germanium mixed crystal, a heat treatment process, and the process which makes the upper part of this enveloping layer carry out epitaxial growth of the 2nd germanium film to the shape of a layer.

[0010] The process to which the 3rd invention makes the shape of a layer carry out epitaxial growth of the 1st germanium film on a silicon substrate, this -- with the process which forms in the upper part of the 1st germanium film the 1st enveloping layer which consists of silicon or silicon germanium mixed crystal The 1st heat treatment process and the process which makes the upper part of this 1st enveloping layer carry out epitaxial growth of the 2nd germanium film to the shape of a layer, this -- it is related with the manufacture approach of the semiconductor device characterized by having the process which forms in the upper part of the 2nd germanium film the 2nd enveloping layer which consists of silicon or silicon germanium mixed crystal, and the 2nd heat treatment process.

[0011] The 4th invention relates to the 1st characterized by the stratified film which grows on a silicon substrate being silicon germanium mixed-crystal film, the 2nd, or the manufacture approach of the semiconductor device the 3rd invention.

[0012] The 5th invention relates to the manufacture approach of the semiconductor device the 1st characterized by forming a silicon layer on the maximum upper germanium film or the maximum upper covering film - one of invention of the 4th.

[0013] The 6th invention relates to the manufacture approach of the semiconductor device the 5th invention characterized by forming an electrode by doping boron, Lynn, or arsenic into the maximum upper silicon layer.

[0014] The 7th invention arranges Si device used as a driver or amplifier on Si substrate front face. After etching Si, forming a slot and covering parts other than a groove bottom side by silicon oxide or the silicon nitride from this substrate front face, By turns GeH₄ and Cl₂ according to or the process 1 which supplies Si₂H₆, and GeH₄ and Cl₂ by turns Form alternatively germanium layer or the Si₁-XGeX layer used as a light sensing portion all over a slot, and Si layer is alternatively formed all over a slot according to the process 2 which supplies Si₂H₆ and Cl₂ by turns. Or the light sensing portion which consists of two or more layers with Si layer, germanium layer, or an Si₁-XGeX layer by repeating a

process 1 and a process 2 further is alternatively formed all over a slot. then Si_2H_6 and B_2H_6 and Cl_2 -- alternation -- Si_2H_6 , and PH_3 and Cl_2 -- alternation -- or by supplying Si_2H_6 , and arsenic and Cl_2 by turns [or] It is related with the manufacture approach of the semiconductor device the 1st characterized by forming an electrode layer alternatively all over a slot - one of invention of the 6th.

[0015]

[Embodiment of the Invention] The principle of this invention is explained taking the case of the case where the germanium film is grown up, on a silicon substrate. Growth of the germanium on a silicon substrate has the growth format of the Stranski-Krastanov mold which forms island structure in the upper part after stratified growth, as stated also in advance. If this phenomenon makes a growth front face carry out coincidence adsorption of the hydrogen and the diffusion length of germanium is shortened in order to be dependent on the diffusion length of the germanium atom on the silicon substrate surface under growth for example, it can obtain the germanium film of the shape of a layer which grew epitaxially on the silicon substrate. Although such film needs subsequent heat treatment since relaxation of misfit distortion is not made completely and a penetration rearrangement exists, the layer-like germanium film will change to island structure again with heat treatment. This is because the compressive strain remains in the stratified germanium film.

[0016] On the other hand, when the front face of the germanium film of the shape of a layer which this invention person did in this way, and was formed was covered with silicon or silicon germanium mixed crystal and having been heat-treated, the germanium film did not become island structure, namely, surface smoothness was held, localization of the rearrangement for moreover easing misfit distortion was carried out to the interface, and it found out that a penetration rearrangement did not remain in the film.

[0017] Formation of such structure is based on the following principles. The stratified germanium film 13 is formed on a silicon substrate 12 at drawing 1 (a), and the structure section Fig. when forming the enveloping layer 11 which consists of silicon or silicon germanium mixed crystal on the front face is shown. In that case, it exists in the interface of a silicon substrate and the stratified germanium film, many the defects 14, i.e., the grown-in defect, formed of growth of the adhesion mold with which the diffusion length of the germanium atom under growth originates in a short thing, and the part serves as the penetration rearrangement 15. The structure after heat treatment of such a laminated structure is shown in drawing 1 (b). Of heat treatment, edge dislocation (the hamburger spectrum showing the slippage and direction of a rearrangement is a perpendicular rearrangement to the direction which a dislocation line runs) 16 is formed by using as a nucleus the grown-in defect 14 which existed in the interface of a silicon substrate 12 and the stratified germanium film 13. In that case, localization of them is carried out to an interface, the misfit distortion of silicon and germanium is arranged in the shape of cross hatching with spacing eased completely, and the penetration component is removed out of a crystal. Furthermore, since the small enveloping layer is formed in the front face of the stratified germanium film with which the compressive strain remained for the lattice constant compared with germanium, tensile stress is added and island-ization of the germanium film under heat treatment is controlled.

[0018] If the above principle is followed, there will be no penetration rearrangement into the film and it will become possible to grow up the flat germanium film which carried out grid relaxation completely of a front face on a silicon substrate.

[0019]

[Example] Hereafter, although an example explains this invention further, this invention is not limited to these.

[0020] Here, the ultra-high-vacuum vapor growth (UHV-CVD) equipment of ultimate-vacuum 1×10^{-10} Torr was used. The 6 inches p-type silicon (100) substrate was used for the sample wafer. In the material gas of silicon, germanium used germane (GeH_4) 100% using the disilane (Si_2H_6) 100%. Initial substrate surface cleaning removed the natural oxidation film after washing for 10 minutes in the penetrant remover ($\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:4:20$) by HF processing ($\text{HF}:\text{H}_2\text{O}=1:30$, processing-time 40 seconds, and rinsing 2 minutes). Furthermore, 800 degrees C and defecation annealing for 3 minutes

were performed among the vacuum within the UHV-CVD system before growth.

[0021] germanium layer whose thickness is 200Å was grown up whenever [one example board temperature] in 330 degrees C, GeH₄ flow-rate 20sccm, and growth time amount 40 minutes, and thickness formed the SiGe layer (cap layer (enveloping layer)) 10Å or less in the substrate temperature of 330 degrees C, GeH₄ flow-rate 20sccm, Si₂H₆ flow-rate 1sccm, and growth time amount 5 minutes. Then, the range of 680-degree C substrate temperature was heat-treated within the UHV-CVD system for relaxation of distortion (annealing). It is desirable to perform heat treatment in 430-730 degrees C.

[0022] The existence of a SiGe cap layer shows a SEM photograph [condition / of germanium film after annealing for strain relaxation / drawing 2] (it heat-treats at 680 degrees C for 10 minutes). (b) is the case where a cap layer is formed and (a) understands the difference in surface morphology for it clearly, when there is no cap layer. By preparing and annealing a SiGe cap layer on the front face of germanium film, surface morphology was good and the flat film was formed.

[0023] Next, the relation between island-izing, and germanium thickness and annealing temperature is described. Drawing 3 is a graph which shows these relation. The growth conditions of the substrate temperature of 330 degrees C, GeH₄ flow-rate 20sccm, and a SiGe cap layer of the growth conditions of germanium layer (relaxation layer) are GeH₄ flow-rate 20sccm, Si₂H₆ flow-rate 1sccm, and growth time amount 5 minutes. Itizes [with the annealing temperature of 730 degrees C / island-] a front face in 400Å and is flat although germanium thickness will island-ize with the annealing temperature of 580 degrees C by 100Å. Even if it makes annealing temperature high in the case where germanium film is stacked thickly, it can choose out of this result in the range of the temperature which does not island-ize, but it turns out that a front face is flat, and germanium thickness and annealing temperature are the range which is not island-ized, and is permitted by that device, and thickness.

[0024] Moreover, since it will become the generation source of a rearrangement in forming germanium thickly further on this film although not island-ized to an elevated temperature by the thinner film if thickness of a cap layer is thickened, 5-20Å is suitable for the thickness of a cap layer in that case.

[0025] Next, a cap layer is formed in germanium film which grew at low temperature, and the result observed by TEM about the crystallinity of germanium film when changing subsequent annealing conditions is described. Drawing 4 (a) - (c) is the TEM photograph of the cross section of the sample which performed annealing for 680 degree-C-10 minutes before annealing for 430 degree-C-10 minutes, respectively. An island is not formed in a front face for thickness by about 210Å, but the sample in front of annealing (a) is the comparatively flat film. This is because the hydrogen which stuck to the front face suppressed the surface diffusion of germanium atom and controlled island-ization during growth.

However, crystallinity is understood that it is bad and there are many penetration rearrangements.

Thickness is about 250Å by the sample in which drawing 4 (b) annealed the sample of drawing 4 (a) for 10 minutes at 430 degrees C. It turns out that the misfit rearrangement of an interface increases as compared with (a), and the penetration rearrangement is decreasing. Drawing 4 (c) is the sample which annealed ***** of drawing 4 (a) for 10 minutes at 680 degrees C, and thickness is about 190Å. It turns out that localization is carried out only at the place whose rearrangement is an interface, and the crystalline good film was obtained compared with drawing 4 (a) and the sample of (b). Drawing 4 (a) From - (c), by annealing shows that a misfit rearrangement arises and a penetration rearrangement decreases. Furthermore, annealing temperature is the range which is not island-ized and it turns out that it is so good that it is high.

[0026] Drawing 5 is an X diffraction spectrum before and behind annealing. The peak of the sample in front of annealing shows that it is in a low angle side and germanium film is distorted from germanium (400). If it anneals, a peak approaches germanium (400) and is in agreement with the diffraction location of germanium (400) by the sample which annealed at 680 degrees C. From this result, that distortion is easing completely can say by 680-degree C annealing.

[0027] As stated above, using the UHV-CVD system, the cap layer was able to be formed after the flat growth by hydrogen surfer TATANTO, and the crystalline good film with a flat front face was able to be grown up by performing elevated-temperature annealing treatment further.

[0028] germanium film which is two or more examples, and was made and formed is carrying out grid

relaxation, and since there are very few rearrangements which moreover penetrate the inside of germanium film, even if it forms germanium film still more thickly on this, a defect does not newly occur. This is not different from growth of germanium on germanium substrate. Then, 1st germanium film and 2nd germanium film were formed as follows.

[0029] As the 1st step, 1st germanium film whose thickness is 200Å was grown up in the substrate temperature of 330 degrees C, GeH₄ flow-rate 20sccm, and growth time amount 40 minutes, and, subsequently thickness formed the SiGe cap layer 10Å or less in the substrate temperature of 330 degrees C, GeH₄ flow-rate 20sccm, Si₂H₆ flow-rate 1sccm, and growth time amount 5 minutes. Then, it annealed for 10 minutes at the substrate temperature of 680 degrees C within the UHV-CVD system for relaxation of distortion. Next, as the 2nd step, thickness grew 2nd germanium film which is 5000Å in the substrate temperature of 380 degrees C, GeH₄ flow-rate 20sccm, and growth time amount 100 minutes.

[0030] The TEM photograph of the cross section of germanium film which grew up to be drawing 6 and drawing 7 on Si substrate is shown. There are few rearrangements and crystallinity is good so that drawing 6 may show. Although drawing 7 is the expansion TEM photograph of the interface in drawing 6 R> 6, it turns out that the rearrangement is carrying out localization to the interface. Moreover, although many misfit rearrangements exist, there are few penetration rearrangements.

[0031] After growing up the thick film of the 2nd germanium on 1st germanium film which carried out example 3 grid relaxation, if annealing (the 2nd annealing) is again performed at the last, crystallinity will become still better. This is because annealing out of the penetration rearrangement of the fraction which remains is carried out by the 2nd annealing. Then, 2nd germanium film with a thickness of 3000Å was grown up, subsequently the cap layer was prepared, the 2nd annealing for 30 minutes was performed at 850 degrees C after that, and the effectiveness by the existence of this 2nd annealing was examined.

[0032] As the 1st step, 1st germanium layer whose thickness is 200Å was grown up in the substrate temperature of 330 degrees C, GeH₄ flow-rate 20sccm, and growth time amount 40 minutes, and thickness formed the SiGe cap layer 10Å or less in the substrate temperature of 330 degrees C, GeH₄ flow-rate 20sccm, Si₂H₆ flow-rate 1sccm, and growth time amount 5 minutes. Then, annealing (the 1st annealing) was performed for 10 minutes at the substrate temperature of 680 degrees C within the UHV-CVD system for relaxation of distortion.

[0033] Next, as the 2nd step, 2nd germanium film whose thickness is 5000Å was grown up in the substrate temperature of 380 degrees C, GeH₄ flow-rate 20sccm, and growth time amount 100 minutes, and, subsequently thickness formed the SiGe cap layer 10Å or less in the substrate temperature of 380 degrees C, GeH₄ flow-rate 20sccm, Si₂H₆ flow-rate 1sccm, and growth time amount 5 minutes. Then, the 2nd annealing was performed for 30 minutes at the substrate temperature of 680 degrees C within the UHV-CVD system for the crystalline improvement.

[0034] Drawing 8 is the spectrum of the X diffraction of four crystals in which the effectiveness of the 2nd annealing is shown. It turns out that half-value width becomes [the direction at the time of performing the 2nd annealing] narrow, and the peak location is approaching germanium (400) location. Thus, crystallinity improves by carrying out the 2nd annealing.

[0035] The TEM photograph of a cross section is shown in drawing 9 . When drawing 9 (a) does not perform the 2nd annealing, drawing 9 (b) shows the case where the 2nd annealing is performed, and both thickness is about 2900Å. When (b) is compared with drawing 9 (a), it turns out that the direction which performed the 2nd annealing of drawing 9 (b) clearly has few rearrangements.

[0036] On crystalline good germanium film stated to four or more examples, Si layer can be formed evenly. So, in this example, Si layer was formed as follows.

[0037] First, 1st germanium film of 400Å of thickness was grown up in the substrate temperature of 330 degrees C, GeH₄ flow-rate 20sccm, and growth time amount 70 minutes, and, subsequently the SiGe cap layer of 10Å or less of thickness was formed in the substrate temperature of 330 degrees C, GeH₄ flow-rate 20sccm, Si₂H₆ flow-rate 1sccm, and growth time amount 5 minutes. Then, the 1st annealing was performed for 10 minutes at the substrate temperature of 720 degrees C within the UHV-CVD

system for relaxation of distortion.

[0038] Next, 2nd germanium film of 3000Å of thickness was grown up in the substrate temperature of 355 degrees C, GeH₄ flow-rate 20sccm, and growth time amount 100 minutes, and, subsequently the SiGe cap layer of 10Å or less of thickness was formed in the substrate temperature of 355 degrees C, GeH₄ flow-rate 20sccm, Si₂H₆ flow-rate 1sccm, and growth time amount 5 minutes. Then, the 2nd annealing was performed for 30 minutes at the substrate temperature of 730 degrees C within the UHV-CVD system for the crystalline improvement.

[0039] Finally, Si film of 2000Å of thickness was grown up in the substrate temperature of 660 degrees C, Si₂H₆ flow-rate 20sccm, and growth time amount 10 minutes.

[0040] Although it grew up to be drawing 10 and drawing 11 with what is not growing Si layer, respectively, the TEM photograph of a cross section is shown. Although drawing 10 performed the 2nd annealing after growing up 2nd germanium film with a thickness of 3000Å, it is a TEM photograph. Actual thickness is about 2900Å, the front face on germanium film is flat, and there are few rearrangements in the film. Although drawing 11 performed the 2nd annealing after growth with a thickness of 3000Å of 2nd germanium film and grew Si layer on it, it is a TEM photograph. The thickness of germanium film is about 3200Å, and the thickness of Si layer is about 2400Å. When drawing 10 is compared with drawing 11, even if it grows up Si on germanium film, it turns out that the rearrangement in germanium film does not increase. Moreover, although many rearrangements are seen in Si layer, it has not escaped from the rearrangement in Si layer to germanium film side. Therefore, the crystallinity of germanium film does not collapse with growth of Si layer.

[0041] Drawing 12 is the spectrum of the X-ray diffraction of four crystals which compared the existence of Si growth on germanium film. Peak value has fallen [the direction which grew Si on germanium film] from this drawing. This is the result of growing up Si upwards. However, since a change does not almost have both about half-value width, even if it grows up Si on germanium film, it turns out that the crystallinity in germanium film does not change.

[0042] When germanium can be prevented from exposing to a front face and forms such structure by forming the above structures using Si process industrially, it can prevent germanium's melting from a front face and polluting a broth and a process line.

[0043] Example 5 drawing 13 shows typically the manufacture process of the device (SiOEIC:Si Opt-Electric Integrated Circuits) by this invention. First, the component sections for a drive (silicon device for drivers), such as pre amplifier and a discrimination decision circuit, are formed according to the usual silicon process on Si (100) substrate, and it is a wrap (drawing 13 (A)) by the oxide film about the whole surface. Next, the mask of the component section for a drive is carried out by the resist, and a slot with a depth of 1 micrometer, a width of face [of 30 micrometers], and a die length of 500 micrometers is established in a silicon substrate by dry etching (drawing 13 (B)). The sidewall of an oxide film is formed in the above-mentioned slot side face with etchback after thermal oxidation. At this time, silicon is exposed to a groove bottom side. Furthermore, arsenic is injected into this base by the ion implantation, and about [2x10¹⁹cm⁻³] three n type layer is made.

[0044] After chemical cleaning removes contamination of a groove bottom side, the PIN diode which is a photo detector is formed in above-mentioned Mizouchi with selection epitaxial growth (drawing 11 (C)). The UHV-CVD system of silicon was used for growth. 1st germanium layer of 400Å of thickness was grown up in the substrate temperature of 330 degrees C, GeH₄ flow-rate 20sccm, and growth time amount 70 minutes, and, subsequently the SiGe cap layer of 10Å or less of thickness was formed in the substrate temperature of 330 degrees C, GeH₄ flow-rate 20sccm, Si₂H₆ flow-rate 1sccm, and growth time amount 5 minutes. In order to secure selectivity at this time, Cl₂ is once supplied for 30 seconds in 20 minutes of growth of germanium. Then, the 1st annealing was performed for 10 minutes at the substrate temperature of 720 degrees C within the UHV-CVD system for relaxation of distortion.

[0045] Next, 2nd germanium layer of 9000Å of thickness was grown up in the substrate temperature of 355 degrees C, GeH₄ flow-rate 20sccm, and growth time amount 300 minutes, and the SiGe cap layer of 10Å or less of thickness was again formed in the substrate temperature of 355 degrees C, GeH₄ flow-rate 20sccm, Si₂H₆ flow-rate 1sccm, and growth time amount 5 minutes. In order to secure selectivity at

this time, Cl₂ is once supplied for 30 seconds in growth 20 minutes of germanium. Then, the 2nd annealing was performed for 30 minutes at the substrate temperature of 730 degrees C within the UHV-CVD system for the crystalline improvement.

[0046] Finally, at the substrate temperature of 660 degrees C, flow rate 1sccm is supplied for Si₂H₆, flow rate 10sccm (1%H₂ dilution) is supplied for B₂H₆ for 100 seconds, and Cl₂ is supplied for 30 seconds. The 2x10¹⁹cm⁻³B dope silicon layer with a thickness of 2000Å was formed by repeating this 8 times.

[0047] Next, the silicon substrate of the part which fixes an optical fiber was etched over a depth of 63 micrometers, and width of face of 125 micrometers, the optical fiber was fixed so that the core section might serve as the same height as a light sensing portion, and structure which introduces light in parallel along a front face was formed (drawing 13 (D)).

[0048] When each part electrode is formed, in order that there may be no level difference in a front face, there is no cutting by the level difference of wiring, between Si devices used as a light sensing portion and a driver can be connected, and these can be formed in the same chip. Moreover, since there are few defects in germanium film, there is little leakage current resulting from a defect. Furthermore, a defect produces germanium film of a light sensing portion by elevated-temperature heat treatment in the silicon device section formation process which serves as a driver since it can grow up to be the last of a device process, and it does not become the cause of dark current generating. Furthermore, since a PN junction will be completely covered with a side-attachment-wall oxide film in process of selection epitaxial growth, there is also little generating of the dark current resulting from junction leak. The capacity of the avalanche photodiode at this time was 0.3 pF/ μ m² at the time of 10V seal of approval. Drawing 14 shows the relation between the reverse bias of this PIN photodiode, and the dark current. The thing of Appl.Phys.Lett.49 volume and a mesa mold as shown in 809 pages (1986) is collectively shown for a comparison. There is little dark current of the avalanche photodiode embedded with selective growth, therefore it is high so that clearly from drawing 14 . [of sensibility] Moreover, since there are few rearrangements penetrated to a light sensing portion, there is little dark current like the PIN diode made to germanium substrate. Nd of 1.3 micrometer wavelength: The receiving sensibility of this photo detector when sending the pulse of 140ps(es) of an YAG laser was as good as -36dBm, and was the same as that of the PIN diode made to germanium substrate. Furthermore, it connected with the driver and amplifier which were made around the light sensing portion, and confirmed that a light-receiving circuit operated as one.

[0049] Although the above example described the case where it was in a light sensing portion with a PIN diode, even if it was with the avalanche photodiode, it confirmed that the same effectiveness was acquired.

[0050] As mentioned above, although the case of growth of germanium on Si was described, the same thing was confirmed also in growth of the Si_{1-x}Ge_x mixed crystal on Si. However, as for the mixed-crystal ratio x of Si_{1-x}Ge_x used for a cap layer, it is important to make it the shape of a layer at the relation of y>x compared with the mixed-crystal ratio y of Si_{1-y}Ge_y which carries out thick-film growth. If there is nothing in such a relation, in order that it may pull on a front face and distortion may not start, island-ization will take place. Furthermore, although this example described the silicon substrate top, naturally it is [that a single crystal Si should just be shown in a substrate front face] possible also at a SOI substrate.

[0051]

[Effect of the Invention] According to this invention, there is no penetration rearrangement into the film and the germanium film or silicon germanium mixed-crystal film with a flat front face which carried out grid relaxation completely can be grown up on a silicon substrate so that clearly from the above explanation. Furthermore, this invention can raise the homogeneity of membrane structure and can raise the property of a device.

[Translation done.]

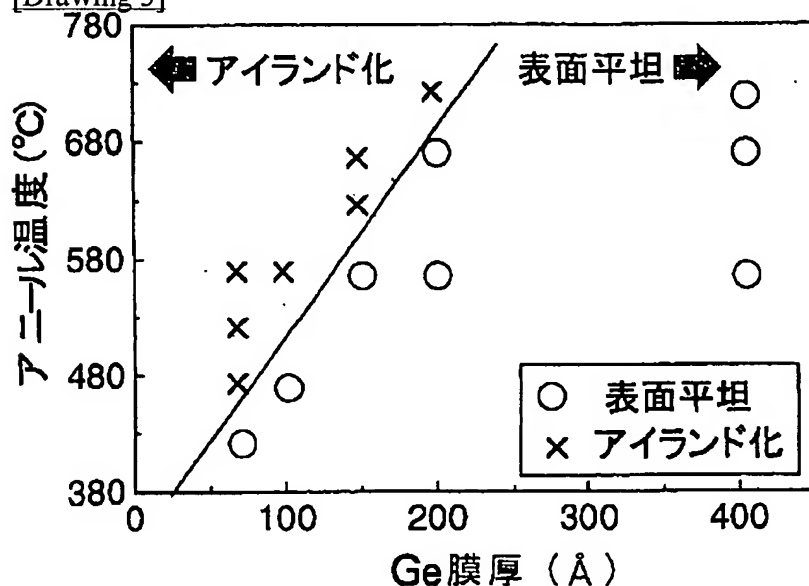
* NOTICES *

JPO and NCIPi are not responsible for any damages caused by the use of this translation.

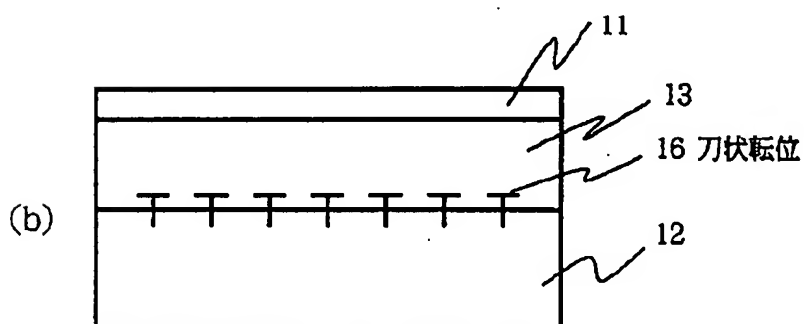
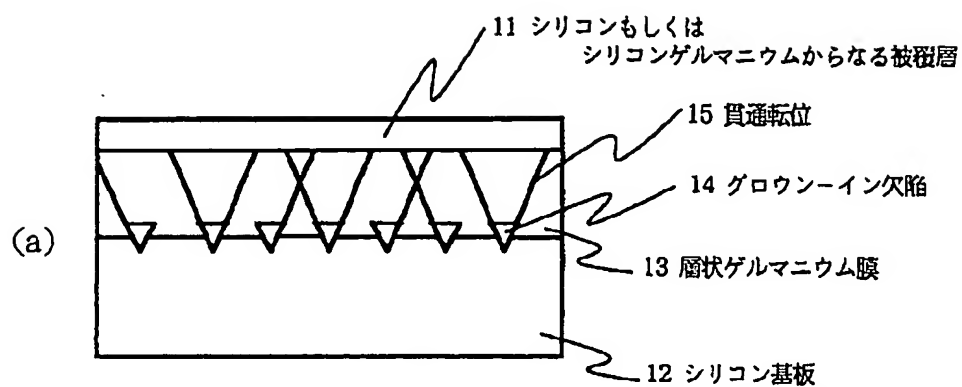
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. **** shows the word which can not be translated.
3. In the drawings, any words are not translated.

DRAWINGS

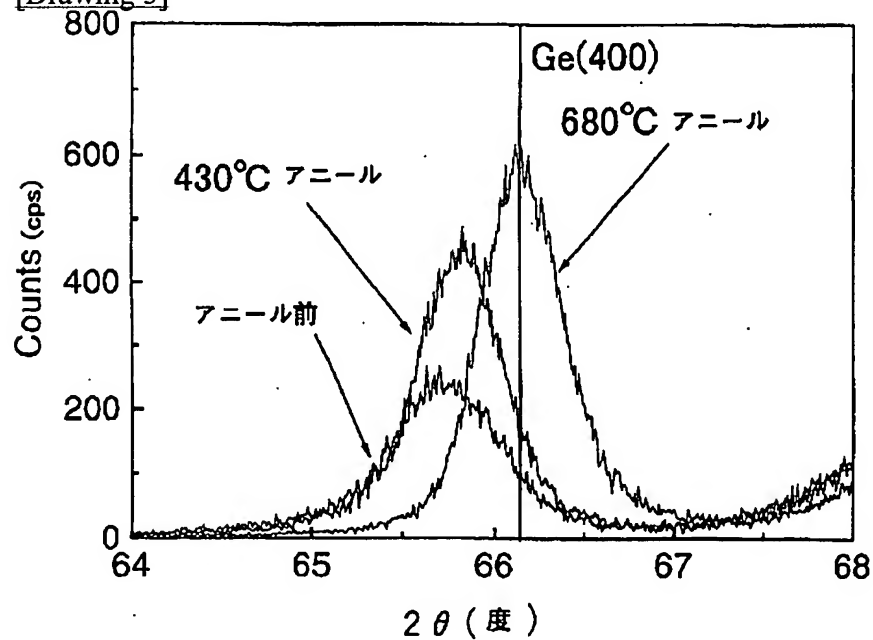
[Drawing 3]



[Drawing 1]



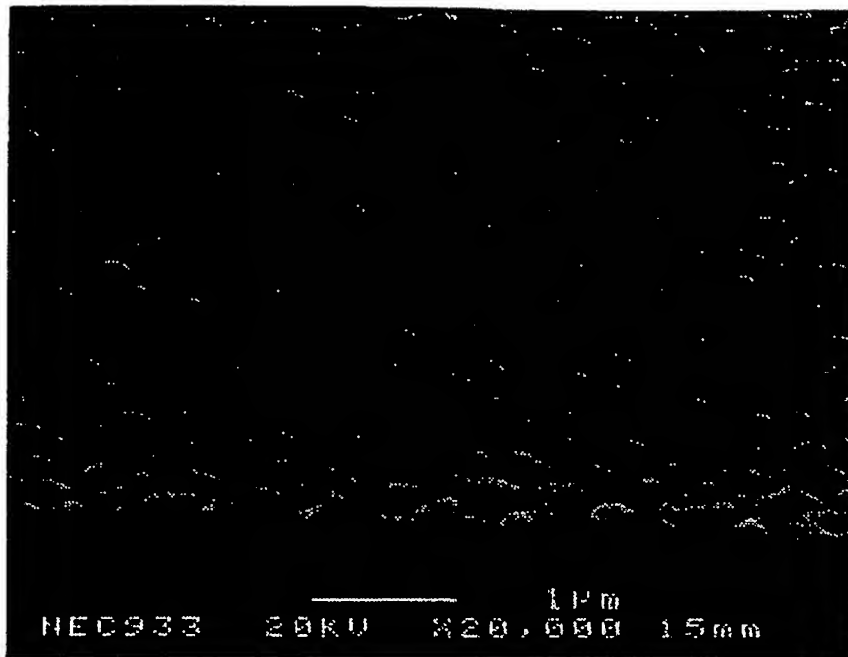
[Drawing 5]



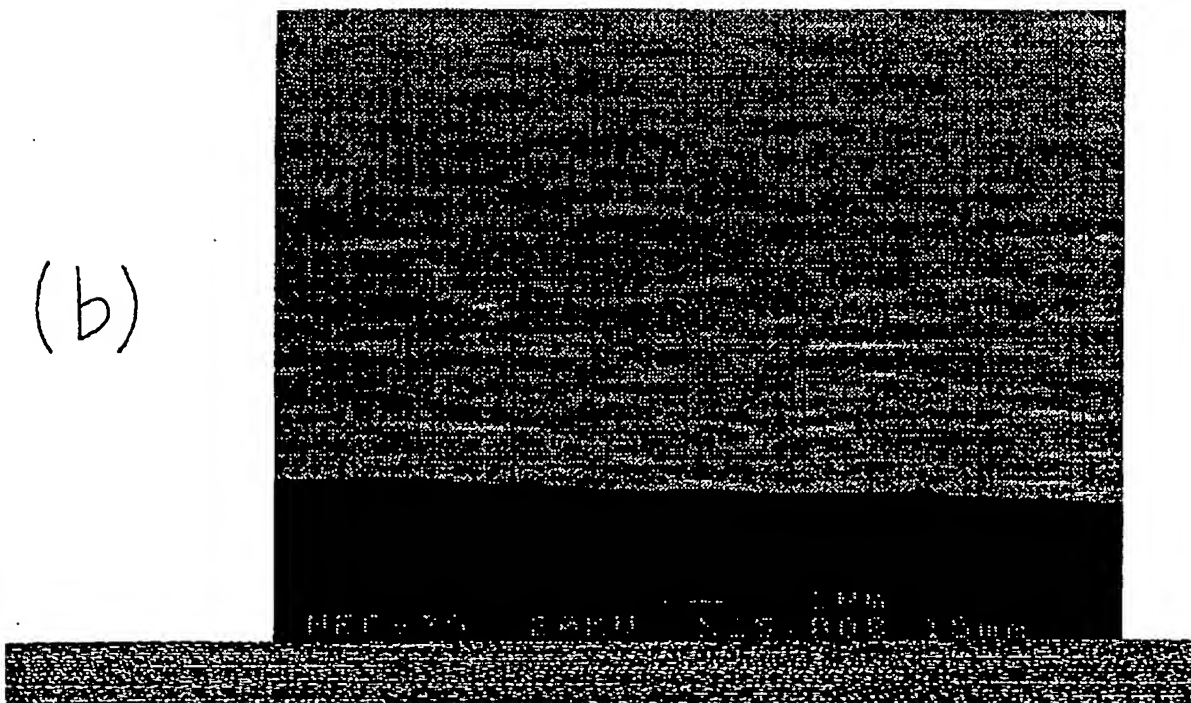
[Drawing 2]

図面代用写真

(a)



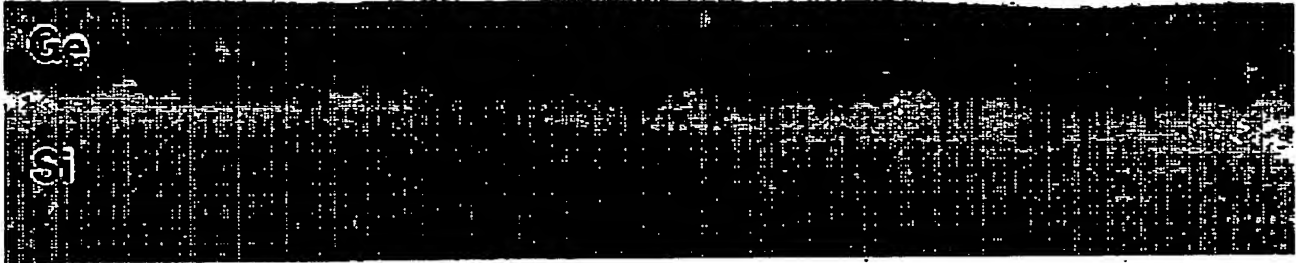
(b)



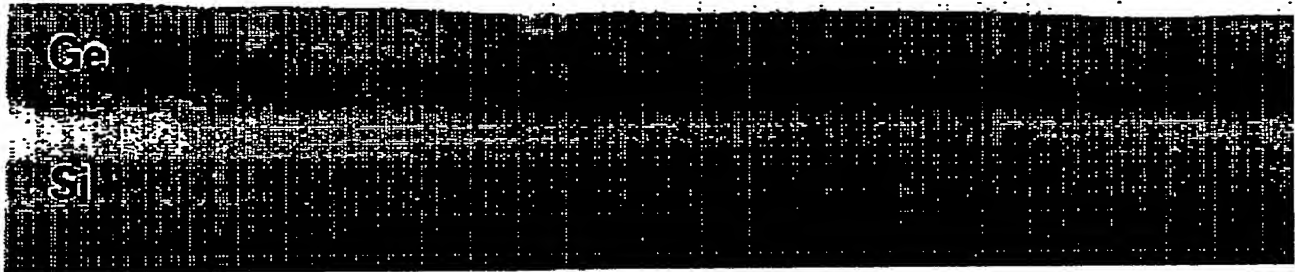
[Drawing 4]

(a) アニール前

図面代用写真



(b) 430°C - 10分 アニール



(c) 680°C - 10分 アニール

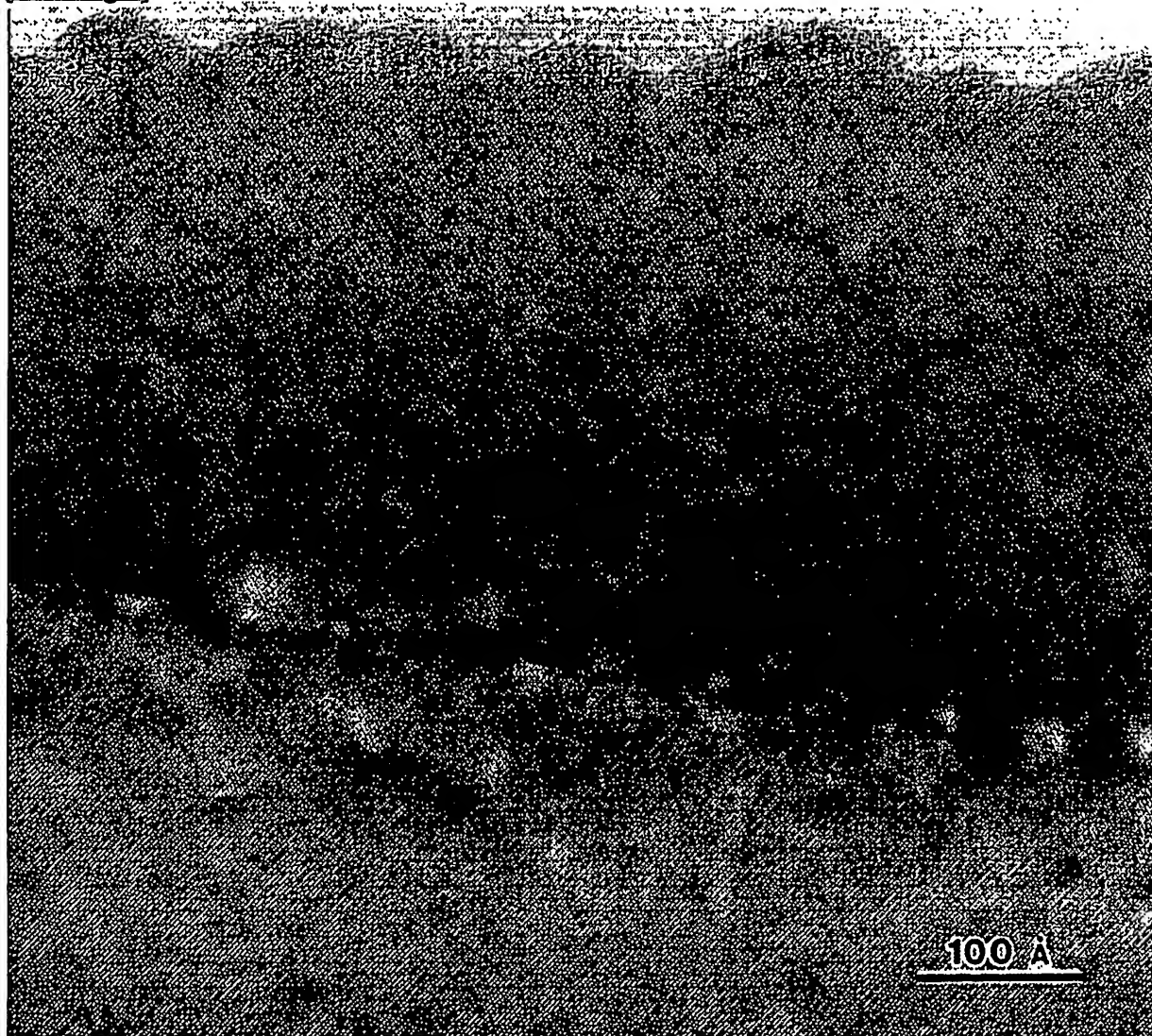


[Drawing 6]

図面代用写真

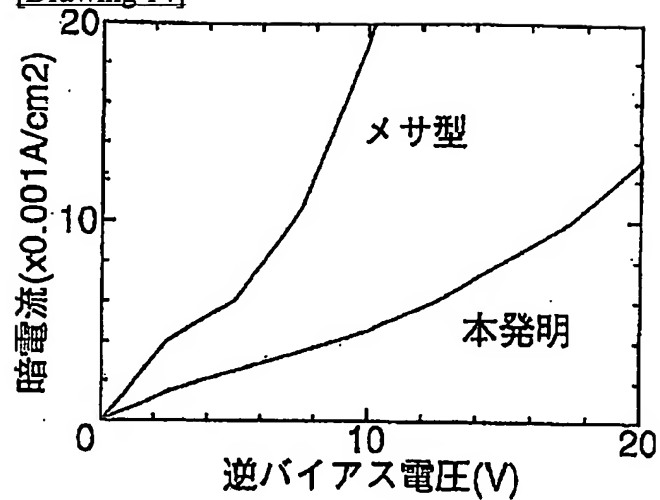


[Drawing 7]

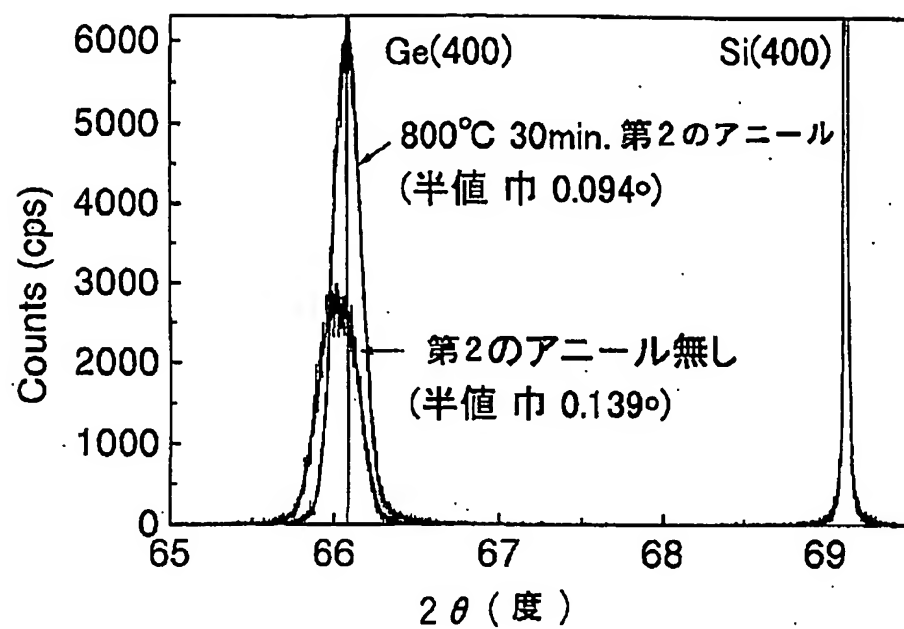


図面代用写真

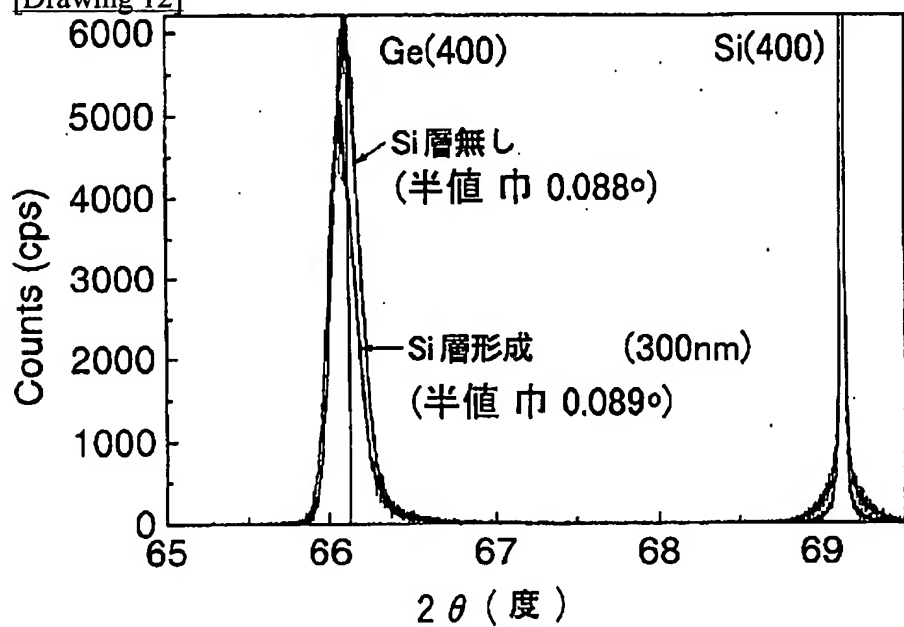
[Drawing 14]



[Drawing 8]



[Drawing 12]



[Drawing 9]

図面代用写真

1000 Å

Ge

Si

(a)

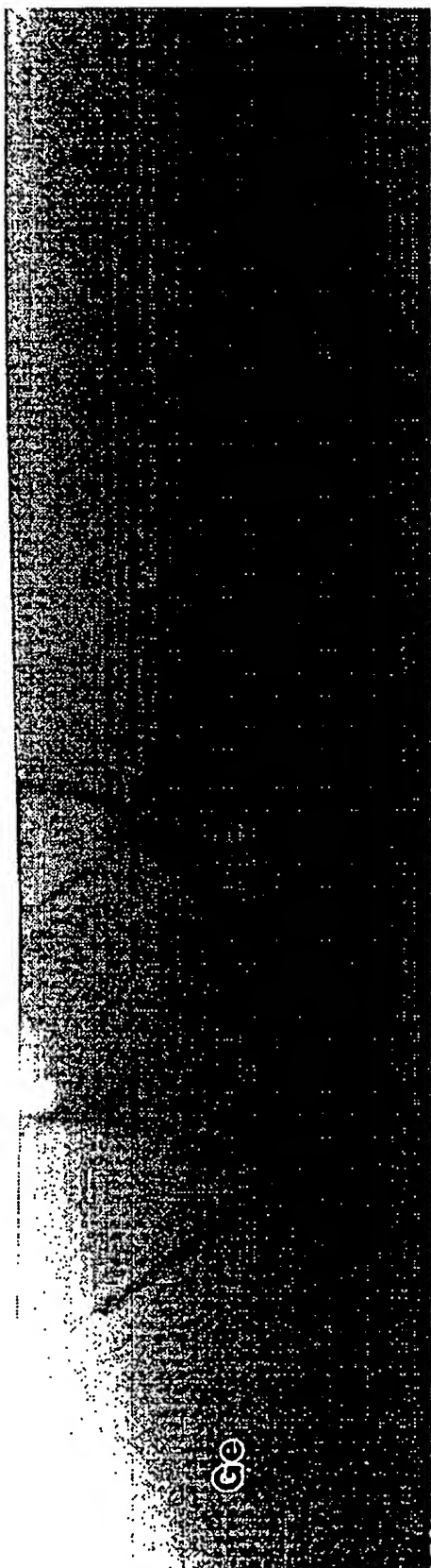
Ge

Si

(b)

[Drawing 10]

図面代用写真

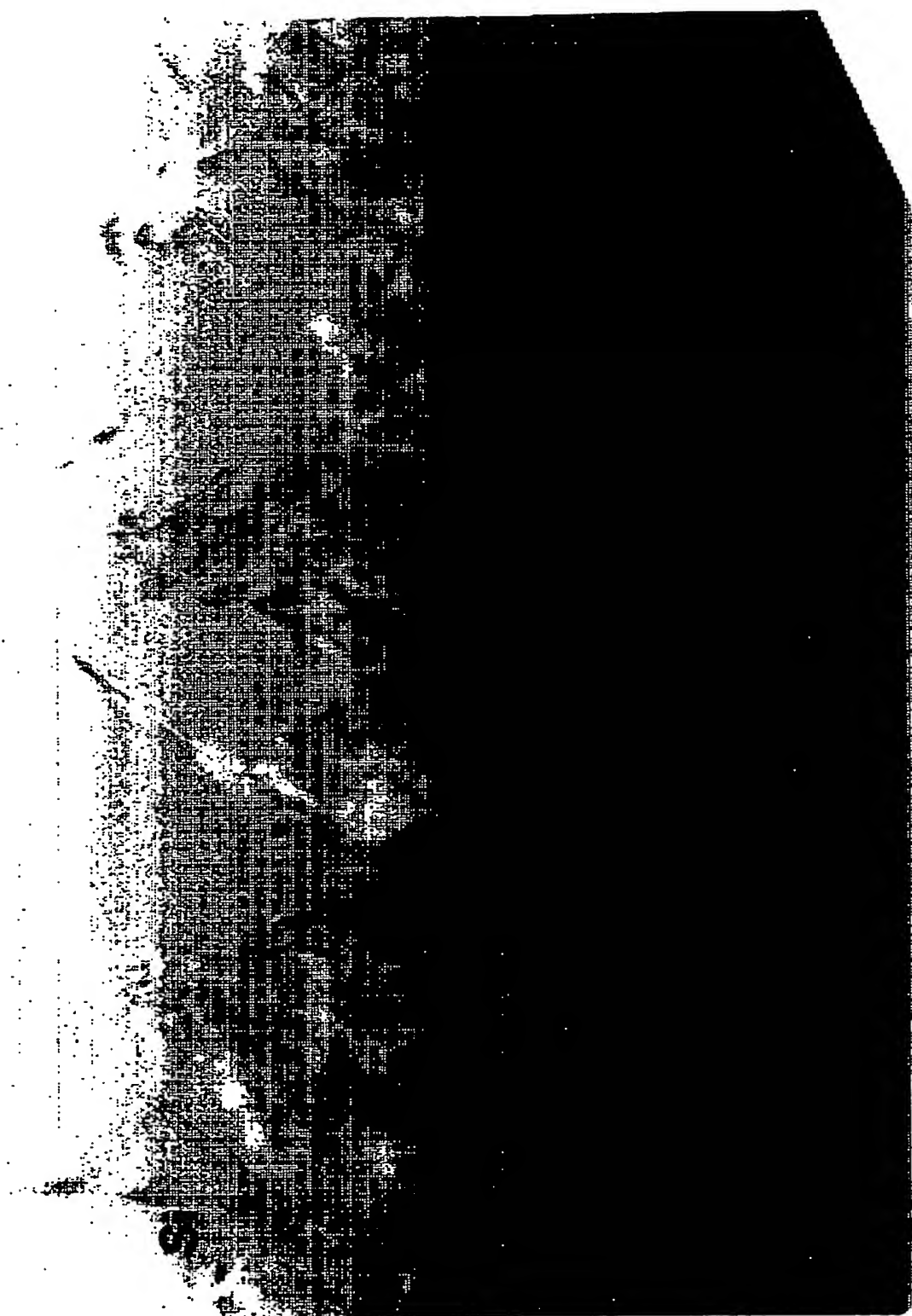


1000 Å

Si

[Drawing 11]

写真用代面図



1000 Å

Si

[Drawing 13]



ID=000015

[Translation done.]

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-256169

(43)Date of publication of application : 25.09.1998

(51)Int.Cl. H01L 21/205
 H01L 21/20
 H01L 21/324
 H01L 27/15
 H01L 31/02

(21)Application number : 09-070933

(71)Applicant : NEC CORP

(22)Date of filing : 10.03.1997

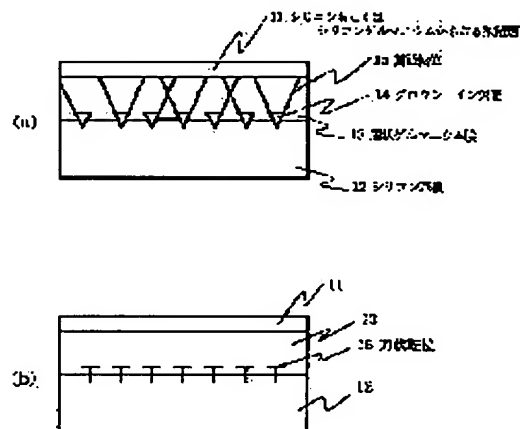
(72)Inventor : TATSUMI TORU
 SAKAI AKIRA
 IGARASHI NOBUYUKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the through-dislocation in a film, flatten the surface and perfectly relax the lattice by forming and heat-treating an Si or SiGe mixed crystal cover layer on the top of an epitaxially grown Ge laminar film on an Si substrate.

SOLUTION: An Si or SiGe mixed crystal cover layer 11 is formed on the surface of an epitaxially grown Ge laminar film 13 on an Si substrate 12 and heat-treated to form edge-like dislocations (Burger spectrum representing the slip and direction of the dislocation is perpendicular to the dislocation line) with grown-in defects 14 existing at the interface of the substrate 12 and film 13 as nuclei, where they are localized at the interface and arranged like a cross hatch at spacings enough to perfectly relax the Si-Ge misfit strain distortion and their through-components are removed out of the crystal.



LEGAL STATUS

[Date of request for examination] 10.03.1997

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3024584

[Date of registration] 21.01.2000

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平10-256169

(43) 公開日 平成10年(1998) 9月25日

(51) Int.Cl. ⁸	識別記号	F I	
H 0 1 L	21/205	H 0 1 L	21/205
	21/20		21/20
	21/324		21/324 X
	27/15		27/15 Z
	31/02		31/02 A
		審査請求 有	請求項の数 7 F D (全 17 頁)

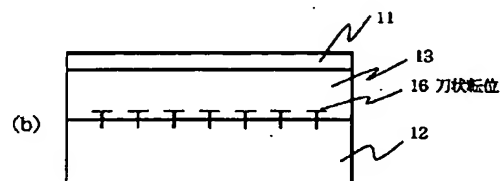
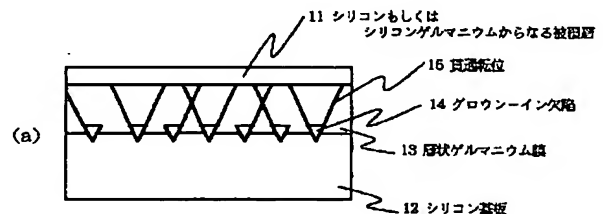
(21) 出願番号	特願平9-70933	(71) 出願人	000004237 日本電気株式会社 東京都港区芝五丁目7番1号
(22) 出願日	平成9年(1997) 3月10日	(72) 発明者	辰巳 徹 東京都港区芝五丁目7番1号 日本電気株式会社内
		(72) 発明者	酒井 朗 東京都港区芝五丁目7番1号 日本電気株式会社内
		(72) 発明者	五十嵐 信行 東京都港区芝五丁目7番1号 日本電気株式会社内
		(74) 代理人	弁理士 若林 忠

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 膜中に貫通転位が無く、表面が平坦な、完全に格子緩和したゲルマニウム膜もしくはシリコンゲルマニウム混晶膜をシリコン基板上に成長させる方法を提供する。

【解決手段】 シリコン基板上にゲルマニウム膜を層状にエピタキシャル成長させる工程と、該ゲルマニウム膜の上部にシリコン若しくはシリコンゲルマニウム混晶からなる被覆層を形成する工程と、熱処理工程を有する半導体装置の製造方法。



【特許請求の範囲】

【請求項1】 シリコン基板上にゲルマニウム膜を層状にエピタキシャル成長させる工程と、該ゲルマニウム膜の上部にシリコン若しくはシリコンゲルマニウム混晶からなる被覆層を形成する工程と、熱処理工程を有することを特徴とする半導体装置の製造方法。

【請求項2】 シリコン基板上に第1のゲルマニウム膜を層状にエピタキシャル成長させる工程と、該第1のゲルマニウム膜の上部にシリコン若しくはシリコンゲルマニウム混晶からなる被覆層を形成する工程と、熱処理工程と、該被覆層の上部に第2のゲルマニウム膜を層状にエピタキシャル成長させる工程を有することを特徴とする半導体装置の製造方法。

【請求項3】 シリコン基板上に第1のゲルマニウム膜を層状にエピタキシャル成長させる工程と、該第1のゲルマニウム膜の上部にシリコン若しくはシリコンゲルマニウム混晶からなる第1の被覆層を形成する工程と、第1の熱処理工程と、該第1の被覆層の上部に第2のゲルマニウム膜を層状にエピタキシャル成長させる工程と、該第2のゲルマニウム膜の上部にシリコン若しくはシリコンゲルマニウム混晶からなる第2の被覆層を形成する工程と、第2の熱処理工程を有することを特徴とする半導体装置の製造方法。

【請求項4】 シリコン基板上に成長する層状膜がシリコンゲルマニウム混晶膜であることを特徴とする請求項1、2又は3記載の半導体装置の製造方法。

【請求項5】 最上層ゲルマニウム膜もしくは最上層被覆膜上にシリコン層を形成することを特徴とする請求項1～4のいずれか1項に記載の半導体装置の製造方法。

【請求項6】 最上層シリコン層中にホウ素もしくはリンあるいは砒素をドーピングすることによって電極を形成することを特徴とする請求項5記載の半導体装置の製造方法。

【請求項7】 Si基板表面にドライバもしくはアンブとなるSiデバイス配し、この基板表面よりSiをエッチングして溝を形成し、溝底面以外の部分をシリコン酸化膜もしくはシリコン窒化膜によって覆った後、GeH₄とCl₂とを交互に或いはSi₂H₆及びGeH₄とCl₂とを交互に供給する工程1によって、受光部となるGe層あるいはSi_{1-x}Ge_x層を溝中に選択的に形成し、Si₂H₆とCl₂とを交互に供給する工程2によって溝中にSi層を選択的に形成し、あるいは、さらに工程1及び工程2を繰り返すことによって、Si層とGe層あるいはSi_{1-x}Ge_x層との複数層からなる受光部を溝中に選択的に形成し、その後、Si₂H₆及びB₂H₆とCl₂とを交互に或いはSi₂H₆及びPH₃とCl₂とを交互に或いはSi₂H₆及び砒素とCl₂とを交互に供給することによって電極層を溝中に選択的に形成することを特徴とする請求項1～6のいずれか1項に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体装置の製造方法、特にシリコン基板上にゲルマニウム若しくはシリコンゲルマニウム混晶の半導体結晶をエピタキシャル成長させる方法に関する。さらには、0.98μm、1.3μm等の波長に感度がある受光素子をシリコンのLSI上に一体形成する、SiOEIC、ゲルマニウム及びシリコンゲルマニウム混晶を用いたバイポーラトランジスタの製造方法に関する。

【0002】

【従来の技術】シリコンとゲルマニウムの、若しくはシリコンとシリコンゲルマニウム混晶のヘテロエピタキシャル構造は、ヘテロバイポーラトランジスタや光学素子の特性を飛躍的に向上させる材料として注目されている。そこで、CVD、MBEといった気相成長法によって、結晶性の良いヘテロ構造を形成することが試みられている。

【0003】シリコン基板上のゲルマニウムは、約4%の格子不整合性(ミスフィット)を持ち、ストランスキー・クラスタノフ(Stranski-Krastanov)型の成長様式を持つことが知られている。成長の初期では、層状にエピタキシャル成長してその膜の表面は平坦であるが、その膜厚が約3原子層を超えてしまうと表面にゲルマニウムのアイランド構造が形成されるようになり、その膜表面の平坦性が著しく損なわれる。さらには、ゲルマニウムアイランドの端から、ミスフィット転位が導入され、特に膜中にはその厚さ方向に貫いた転位(貫通転位と呼ばれる)が形成される。こうしたゲルマニウムのアイランド化および貫通転位を極力除去するために、J.M.Baribeauらは論文J.Vac.Sci.Technol.A5(4),1898(1987)において、高温成長およびその後の高温熱処理によって貫通転位を膜中から除去させる方法を試みている。また、アイランド化や貫通転位導入はゲルマニウム層中にシリコンを混入させてシリコンゲルマニウム混晶にすることによって抑制することもできるので、A.Kastalskyらはその論文Symposium of the 1st International Symposium on silicon Molecular Beam Epitaxy,edited by J.C.Bean(Electrochemical Society, Pennington, NJ, 1985), P.406において、III-V基板の直上にその混晶比を変化させたバッファ層と超格子層を挿入して上部に貫通転位の少ないゲルマニウム層を形成している。

【0004】また、五十嵐等は、第56回応用物理学学会学術講演会講演予稿集第一分冊第174ページに記載されているように、平坦な界面を有するSi/SiGe超格子層の形成方法として、まず、Si基板上にSiGe層をラフニングの起きる臨界膜厚以下で形成し、続いてこのSiGe表面上にSiの被覆層を形成する方法を提案している。しかし、この方法はSi基板に格子整合したSi/SiGe歪み超格子層を形成する方法であり、

Si 基板上に、格子緩和したGeあるいはSiGeの貫通転位の無い薄膜を形成する方法ではない。

【0005】

【発明が解決しようとする課題】上記いずれの方法をもってしても、ゲルマニウム膜やシリコンゲルマニウム混晶膜中の貫通転位を完全に除去することはできず、また、膜表面を原子レベルで平坦にすることはできず、さらには、形成させたゲルマニウム膜やシリコンゲルマニウム混晶膜中に存在する、シリコン基板とのミスフィットに起因する歪みを完全に緩和させることはできなかった。こうした膜構造の不均一性は、リーク電流の増加などにつながり、それを適用して作製したデバイスの特性向上のうえで有害である。

【0006】そこで本発明の目的は、このような従来の欠点を除去し、膜中に貫通転位が無く、表面が平坦な、完全に格子緩和したゲルマニウム膜もしくはシリコンゲルマニウム混晶膜をシリコン基板上に成長させる方法を提供することにある。

【0007】

【課題を解決するための手段】本発明者らは、上記の目的を達成するために種々の検討を重ねた結果、本発明を完成した。

【0008】第1の発明は、シリコン基板上にゲルマニウム膜を層状にエピタキシャル成長させる工程と、該ゲルマニウム膜の上部にシリコン若しくはシリコンゲルマニウム混晶からなる被覆層を形成する工程と、熱処理工程を有することを特徴とする半導体装置の製造方法に関する。

【0009】第2の発明は、シリコン基板上に第1のゲルマニウム膜を層状にエピタキシャル成長させる工程と、該第1のゲルマニウム膜の上部にシリコン若しくはシリコンゲルマニウム混晶からなる被覆層を形成する工程と、熱処理工程と、該被覆層の上部に第2のゲルマニウム膜を層状にエピタキシャル成長させる工程を有することを特徴とする半導体装置の製造方法に関する。

【0010】第3の発明は、シリコン基板上に第1のゲルマニウム膜を層状にエピタキシャル成長させる工程と、該第1のゲルマニウム膜の上部にシリコン若しくはシリコンゲルマニウム混晶からなる第1の被覆層を形成する工程と、第1の熱処理工程と、該第1の被覆層の上部に第2のゲルマニウム膜を層状にエピタキシャル成長させる工程と、該第2のゲルマニウム膜の上部にシリコン若しくはシリコンゲルマニウム混晶からなる第2の被覆層を形成する工程と、第2の熱処理工程を有することを特徴とする半導体装置の製造方法に関する。

【0011】第4の発明は、シリコン基板上に成長する層状膜がシリコンゲルマニウム混晶膜であることを特徴とする第1、第2又は第3の発明の半導体装置の製造方法に関する。

【0012】第5の発明は、最上層ゲルマニウム膜もし

くは最上層被覆膜上にシリコン層を形成することを特徴とする第1～第4のいずれかの発明の半導体装置の製造方法に関する。

【0013】第6の発明は、最上層シリコン層中にホウ素もしくはリンあるいは砒素をドーピングすることによって電極を形成することを特徴とする第5の発明の半導体装置の製造方法に関する。

【0014】第7の発明は、Si 基板表面にドライバもしくはアンパとなるSi デバイスを配し、この基板表面よりSi をエッチングして溝を形成し、溝底面以外の部分をシリコン酸化膜もしくはシリコン窒化膜によって覆った後、 GeH_4 と Cl_2 とを交互に或いは Si_2H_6 及び GeH_4 と Cl_2 とを交互に供給する工程1によって、受光部となるGe層あるいは $\text{Si}_{1-x}\text{Ge}_x$ 層を溝中に選択的に形成し、 Si_2H_6 と Cl_2 とを交互に供給する工程2によって溝中にSi層を選択的に形成し、あるいは、さらに工程1及び工程2を繰り返すことによって、Si層とGe層あるいは $\text{Si}_{1-x}\text{Ge}_x$ 層との複数層からなる受光部を溝中に選択的に形成し、その後、 Si_2H_6 及び B_2H_6 と Cl_2 とを交互に或いは Si_2H_6 及び PH_3 と Cl_2 とを交互に或いは Si_2H_6 及び砒素と Cl_2 とを交互に供給することによって電極層を溝中に選択的に形成することを特徴とする第1～第6のいずれかの発明の半導体装置の製造方法に関する。

【0015】

【発明の実施の形態】本発明の原理について、シリコン基板上にゲルマニウム膜を成長させる場合を例にとって説明する。シリコン基板上のゲルマニウムの成長は、先にも述べたように、層状成長の後、その上部にアイランド構造を形成するStranski-Krastanov型の成長様式を持つ。この現象は、成長中のシリコン基板表面上のゲルマニウム原子の拡散距離に依存するため、例えば、成長表面に水素を同時吸着させてゲルマニウムの拡散距離を短くすると、シリコン基板上にエピタキシャル成長した層状のゲルマニウム膜を得ることができる。このような膜は、ミスフィット歪の緩和が完全になされておらず且つ貫通転位が存在するため、その後の熱処理が必要であるが、熱処理に伴って層状のゲルマニウム膜は再びアイランド構造へと変化してしまう。これは、層状ゲルマニウム膜中に圧縮歪が残存しているためである。

【0016】これに対して、本発明者は、このようにして形成した層状のゲルマニウム膜の表面を、シリコン若しくはシリコンゲルマニウム混晶で被覆し且つ熱処理をすると、ゲルマニウム膜がアイランド構造にならず、すなわち表面の平坦性が保持され、しかもミスフィット歪みを緩和するための転位は界面に局在し、膜中に貫通転位が残存しないことを見出した。

【0017】このような構造の形成は、以下の原理に基づいている。図1(a)に、シリコン基板12上に層状ゲルマニウム膜13を形成し、その表面にシリコン若し

くはシリコンゲルマニウム混晶からなる被覆層11を形成したときの構造断面図を示す。その際、シリコン基板と層状ゲルマニウム膜の界面には、成長中のゲルマニウム原子の拡散距離が短いことに起因する付着型の成長によって形成された欠陥すなわちグロウン-イン欠陥14が多数存在し、一部は貫通転位15となっている。図1(b)には、こうした積層構造の熱処理後の構造を示している。熱処理によって、シリコン基板12と層状ゲルマニウム膜13の界面に存在していたグロウン-イン欠陥14を核として、刃状転位(転位の滑り量と方向を表すバーガースベクトルが転位線の走る方向に対して垂直な転位)16が形成される。その際、それらは界面に局在し、シリコンとゲルマニウムのミスフィット歪みを完全に緩和する間隔を持ってクロスハッチ状に配列し、その貫通成分は結晶外へと除去される。さらに、圧縮歪が残存していた層状ゲルマニウム膜の表面には、その格子定数がゲルマニウムに比べて小さい被覆層が形成されているため、引張り応力が加わり、熱処理中のゲルマニウム膜のアイランド化が抑制される。

【0018】以上の原理に従えば、膜中に貫通転位が無く、表面が平坦な、完全に格子緩和したゲルマニウム膜をシリコン基板上に成長させることが可能となる。

【0019】

【実施例】以下、本発明を実施例によりさらに説明するが、本発明はこれらに限定するものではない。

【0020】ここでは、到達真空度 1×10^{-10} Torrの超高真空気相成長(UHV-CVD)装置を用いた。試料ウエハ-は、6インチのp型シリコン(100)基板を用いた。シリコンの原料ガスは100%ジシラン(Si_2H_6)を用い、ゲルマニウムは100%ゲルマン(GeH_4)を用いた。初期基板表面クリーニングは、洗浄液($\text{NH}_4\text{OH}:\text{H}_2\text{O}_2:\text{H}_2\text{O}=1:4:20$)中で10分間洗浄の後、HF処理($\text{HF}:\text{H}_2\text{O}=1:30$ 、処理時間40秒、水洗2分)によって、自然酸化膜を除去した。さらに、成長前に、UHV-CVD装置内で、真空中800℃、3分の清浄化アニールを行った。

【0021】実施例1

基板温度330℃、 GeH_4 流量20sccm、成長時間40分で、膜厚が200ÅのGe層を成長し、基板温度330℃、 GeH_4 流量20sccm、 Si_2H_6 流量1sccm、成長時間5分で膜厚が10Å以下のSiGe層(キャップ層(被覆層))を形成した。その後、歪みの緩和のために、UHV-CVD装置内で基板温度680℃の範囲の熱処理(アニール)を行った。熱処理は、430~730℃の範囲で行うことが好ましい。

【0022】図2に、歪み緩和のためのアニール後のGe膜の状態をSiGeキャップ層の有無で比較したSEM写真を示す(680℃で10分熱処理)。(a)はキャップ層が無い場合、(b)はキャップ層を形成した場合であり、明らかに表面モロロジーの違いがわかる。Ge

e膜の表面にSiGeキャップ層を設けてアニールすることにより、表面モロロジーが良く、平坦な膜が形成された。

【0023】次に、アイランド化とGe膜厚・アニール温度との関係について述べる。図3は、これらの関係を示すグラフである。Ge層(緩和層)の成長条件は基板温度330℃、 GeH_4 流量20sccm、SiGeキャップ層の成長条件は GeH_4 流量20sccm、 Si_2H_6 流量1sccm、成長時間5分である。Ge膜厚が100Åでは、アニール温度580℃でアイランド化してしまうが、400Åではアニール温度730℃で表面はアイランド化せず平坦である。この結果より、Ge膜を厚く積んだ場合では、アニール温度を高くしてもアイランド化せず表面は平坦であることがわかり、Ge膜厚とアニール温度は、アイランド化しない範囲で、そのデバイスに許容される温度と厚さの範囲で選ぶことができる。

【0024】また、キャップ層の厚さを厚くすれば、より薄い膜で高温までアイランド化しないが、この膜上にさらにGeを厚く形成する場合には、転位の発生源となるので、その場合はキャップ層の厚さは5~20Åが適当である。

【0025】次に、低温で成長したGe膜にキャップ層を形成し、その後のアニール条件を変化させた時のGe膜の結晶性についてTEMにより観察した結果について述べる。図4(a)~(c)はそれぞれ、アニール前、430℃-10分、680℃-10分のアニールを行った試料の断面のTEM写真である。アニール前の試料(a)は、膜厚が約210Åで表面にはアイランドが形成されず、比較的平坦な膜である。これは、成長中、表面に吸着した水素がGe原子の表面拡散を抑え、アイランド化を抑制したためである。しかし、結晶性は悪く、貫通転位が多いことがわかる。図4(b)は、図4(a)の試料を430℃で10分間アニールした試料で膜厚は約250Åである。(a)と比較すると、界面のミスフィット転位が増え、貫通転位が減少していることがわかる。図4(c)は、図4(a)の試料を680℃で10分間アニールした試料で、膜厚は約190Åである。図4(a)や(b)の試料と比べて、転位が界面のところだけに局在しており、結晶性の良い膜が得られたことがわかる。図4(a)~(c)より、アニールすることによってミスフィット転位が生じ、貫通転位が減少することがわかる。さらに、アニール温度はアイランド化しない範囲で、高いほど良いことがわかる。

【0026】図5は、アニール前後のX線回折スペクトルである。アニール前の試料のピークは、Ge(400)より低角側にあり、Ge膜が歪んでいることを示している。アニールするとピークはGe(400)に近づき、680℃でアニールした試料ではGe(400)の回折位置と一致している。この結果より、680℃でのアニールでは歪みが完全に緩和していることがいえる。

【0027】以上に述べたように、UHV-CVD装置を用い、水素サーファタントによる平坦な成長後にキャップ層を形成し、さらに高温アニール処理を行うことで、表面が平坦な、結晶性の良い膜を成長することができた。

【0028】実施例2

以上のようにして形成したGe膜は、格子緩和しており、しかもGe膜中を貫通する転位が非常に少ないため、この上に、Ge膜をさらに厚く形成しても新たに欠陥が発生することはない。これは、Ge基板上のGeの成長と変わらない。そこで、次のようにして第1のGe膜および第2のGe膜を形成した。

【0029】第1段階として、基板温度330℃、GeH₄流量20sccm、成長時間40分で、膜厚が200Åの第1のGe膜を成長し、次いで基板温度330℃、GeH₄流量20sccm、Si₂H₆流量1sccm、成長時間5分で、膜厚が10Å以下のSiGeキャップ層を形成した。その後、歪みの緩和のために、UHV-CVD装置内で基板温度680℃で10分間アニールした。次に第2段階として、基板温度380℃、GeH₄流量20sccm、成長時間100分で、膜厚が5000Åの第2のGe膜を成長した。

【0030】図6及び図7に、Si基板上に成長したGe膜の断面のTEM写真を示す。図6からわかるように、転位数は少なく、結晶性は良好である。図7は、図6における界面の拡大TEM写真であるが、転位が界面に局在していることがわかる。また、ミスフィット転位は多く存在しているが、貫通転位は少ない。

【0031】実施例3

格子緩和させた第1のGe膜の上に第2のGeの厚い膜を成長後、最後に再びアニール（第2のアニール）を行うと、結晶性はさらに良くなる。これは、残っている少数の貫通転位が第2のアニールによってアニールアウトされるからである。そこで、厚さ3000Åの第2のGe膜を成長し、次いでキャップ層を設け、その後850℃で30分の第2のアニールを行い、この第2のアニールの有無による効果を検討した。

【0032】第1段階として、基板温度330℃、GeH₄流量20sccm、成長時間40分で、膜厚が200Åの第1のGe層を成長し、基板温度330℃、GeH₄流量20sccm、Si₂H₆流量1sccm、成長時間5分で、膜厚が10Å以下のSiGeキャップ層を形成した。その後、歪みの緩和のために、UHV-CVD装置内で基板温度680℃で10分間アニール（第1のアニール）を行った。

【0033】次に第2段階として、基板温度380℃、GeH₄流量20sccm、成長時間100分で、膜厚が5000Åの第2のGe膜を成長し、次いで基板温度380℃、GeH₄流量20sccm、Si₂H₆流量1sccm、成長時間5分で、膜厚が10Å以下のSiGeキャップ層

を形成した。その後、結晶性改善のためにUHV-CVD装置内で基板温度680℃で30分間、第2のアニールを行った。

【0034】図8は、第2のアニールの効果を示す4結晶のX線回折のスペクトルである。第2のアニールを行った場合の方が半値幅が狭くなり、ピーク位置がGe（400）位置に近づいていることがわかる。このように第2のアニールをすることによって、結晶性は改善される。

【0035】図9に断面のTEM写真を示す。図9（a）は第2のアニールを行わなかった場合、図9（b）は第2のアニールを行った場合を示し、膜厚はどちらも約2900Åである。図9（a）と（b）を比較すると、明らかに図9（b）の第2のアニールを行った方が転位数が少ないことがわかる。

【0036】実施例4

以上に述べた結晶性の良いGe膜上には、Si層を平坦に形成することができる。そこで本実施例では、次のようにしてSi層の形成を行った。

【0037】まず、基板温度330℃、GeH₄流量20sccm、成長時間70分で、膜厚400Åの第1のGe膜を成長し、次いで基板温度330℃、GeH₄流量20sccm、Si₂H₆流量1sccm、成長時間5分で、膜厚10Å以下のSiGeキャップ層を形成した。その後、歪みの緩和のために、UHV-CVD装置内で基板温度720℃で10分間、第1のアニールを行った。

【0038】次に、基板温度355℃、GeH₄流量20sccm、成長時間100分で、膜厚3000Åの第2のGe膜を成長し、次いで基板温度355℃、GeH₄流量20sccm、Si₂H₆流量1sccm、成長時間5分で、膜厚10Å以下のSiGeキャップ層を形成した。その後、結晶性改善のために、UHV-CVD装置内で基板温度730℃で30分間、第2のアニールを行った。

【0039】最後に、基板温度660℃、Si₂H₆流量20sccm、成長時間10分で、膜厚2000ÅのSi膜を成長した。

【0040】図10及び図11に、それぞれ、Si層を成長していないものと成長したものの断面のTEM写真を示す。図10は、厚さ3000Åの第2のGe膜を成長後に第2のアニールを行ったもののTEM写真である。実際の膜厚は約2900Åであり、Ge膜上の表面は平坦で、膜中の転位は少ない。図11は、厚さ3000Åの第2のGe膜の成長後に第2のアニールを行い、その上にSi層を成長したもののTEM写真である。Ge膜の膜厚は約3200Åで、Si層の膜厚は約2400Åである。図10と図11を比較すると、Ge膜上にSiを成長しても、Ge膜中の転位は増加しないことがわかる。また、Si層中には多くの転位が見られるが、Si層中の転位はGe膜側には抜けていない。従って、Si層の成長によってGe膜の結晶性はくずれない。

【0041】図12は、Ge膜上のSi成長の有無を比較した4結晶のX線回析のスペクトルである。この図より、Ge膜上にSiを成長した方が、ピーク値が下がっている。これは上にSiを成長した結果である。しかし、半値幅に関しては、両者ともほとんど変わりはないため、Ge膜上にSiを成長しても、Ge膜中の結晶性は変わらないことがわかる。

【0042】以上のような構造を形成することにより、Geが表面に露出しないようにでき、工業的にSiプロセスを使ってこのような構造を形成する場合、Geが表面から溶けだし、プロセスラインを汚染することを防ぐことができる。

【0043】実施例5

図13は、本発明によるデバイス(SiOEIC: Si Opt-Electric Integrated Circuits)の製造プロセスを模式的に示したものである。まず、Si(100)基板上に通常のシリコンプロセスによって、プリアンプ、識別回路等のドライブ用素子部(ドライバー用シリコンデバイス)を形成し、全面を酸化膜によって覆う(図13(A))。次に、ドライブ用素子部をレジストによってマスクし、ドライエッチングによって、深さ1 μ m、幅30 μ m、長さ500 μ mの溝をシリコン基板に設ける(図13(B))。熱酸化後、エッチバックによって、前述の溝側面に酸化膜のサイドウォールを形成する。この時、溝底面にはシリコンが露出する。さらに、この底面にイオン注入によって砒素を注入し、 $2 \times 10^{19} \text{ cm}^{-3}$ 程度のn型層を作る。

【0044】化学洗浄によって溝底面の汚染を除去した後、受光素子であるPINダイオードを前述の溝内に選択エピタキシャル成長によって形成する(図11(C))。成長にはシリコンのUHV-CVD装置を用いた。基板温度330℃、GeH₄流量20sccm、成長時間70分で、膜厚400Åの第1のGe層を成長し、次いで基板温度330℃、GeH₄流量20sccm、Si₂H₆流量1sccm、成長時間5分で、膜厚10Å以下のSiGeキャップ層を形成した。このとき、選択性を確保するために、Geの成長の20分に1度、Cl₂を30秒供給する。その後、歪みの緩和のために、UHV-CVD装置内で基板温度720℃で10分間、第1のアニールを行った。

【0045】次に、基板温度355℃、GeH₄流量20sccm、成長時間300分で、膜厚9000Åの第2のGe層を成長し、再び基板温度355℃、GeH₄流量20sccm、Si₂H₆流量1sccm、成長時間5分で、膜厚10Å以下のSiGeキャップ層を形成した。このとき、選択性を確保するために、Geの成長20分に1度、Cl₂を30秒供給する。その後、結晶性改善のために、UHV-CVD装置内で基板温度730℃で30分間、第2のアニールを行った。

【0046】最後に、基板温度660℃でSi₂H₆を流量1sccm、B₂H₆を流量10sccm(1% H₂希釈)を100秒供給し、Cl₂を30秒供給する。これを8回繰り返すことによって厚さ2000Åの $2 \times 10^{19} \text{ cm}^{-3}$ Bドーパシリコン層を形成した。

【0047】次に、光ファイバーを固定する部分のシリコン基板を深さ63 μ m、幅125 μ mに渡ってエッチングし、光ファイバーをそのコア部が受光部と同一の高さとなるように固定し、光を表面に沿って平行に導入するような構造を形成した(図13(D))。

【0048】各部電極を形成すると、表面には段差が無いために、配線の段差による切断が無く、受光部とドライバーとなるSiデバイス間を繋ぐことができ、これらを同一チップ内に形成することができる。また、Ge膜中には欠陥が少ないため、欠陥に起因するリーク電流が少ない。さらに、受光部のGe膜をデバイス工程の最後に成長できるので、ドライバーとなるシリコンデバイス部形成工程における高温熱処理により欠陥が生じて暗電流発生の原因となることもない。さらに、PN接合は選択エピタキシャル成長の過程で側壁酸化膜によって完全に覆われてしまうために接合リークに起因する暗電流の発生も少ない。この時のアバランシェフォトダイオードの容量は、10V印可時0.3pF/ μ^2 であった。図14は、本PINフォトダイオードの逆バイアスと暗電流との関係を示したものである。Appl. Phys. Lett. 49巻、809ページ(1986年)に示されているようなメサ型のものを比較のために併せて示す。図14から明らかなように、選択成長によって埋め込んだアバランシェフォトダイオードの暗電流は少なく、従って感度が高い。また、受光部には貫通する転位が少ないために、暗電流はGe基板に作ったPINダイオードと同様に少ない。1.3 μ m波長のNd:YAGレーザーの140psのパルスを送ったときの本受光素子の受信感度は、-36dBmと良好であり、Ge基板に作ったPINダイオードと同様であった。さらに、受光部周辺に作ったドライバー、アンプと接続し、一体として受光回路が作動することを確かめた。

【0049】以上の実施例では、受光部にPINダイオードをもちいた場合について述べたが、アバランシェフォトダイオードをもちいても同様の効果がえられることを確かめた。

【0050】以上、Si上のGeの成長の場合について述べたが、Si上のSi_{1-x}Ge_x混晶の成長においても同様であることを確かめた。ただし、キャップ層に用いるSi_{1-x}Ge_xの混晶比xは、層状に厚膜成長するSi_{1-y}Ge_yの混晶比yに比べてy>xの関係にすることが肝要である。このような関係にないと、表面に引っ張り歪みがかからないためにアイランド化が起こる。さらに、本実施例では、シリコン基板上について述べたが、基板表面に単結晶Siがあれば良く、SOI基板でも当

然可能である。

【0051】

【発明の効果】以上の説明から明かなように本発明によれば、膜中に貫通転位が無く、表面が平坦な、完全に格子緩和したゲルマニウム膜もしくはシリコンゲルマニウム混晶膜をシリコン基板上に成長させることができる。さらに本発明は、膜構造の均一性を高めることが可能であり、デバイスの特性を向上させることができる。

【図面の簡単な説明】

【図1】本発明の原理を説明するための概念図であって、シリコン基板上に層状ゲルマニウム膜を形成し、その表面にシリコン若しくはシリコンゲルマニウム混晶からなる被覆層を形成した場合の断面構造図である。

【図2】アニール後のGe膜の状態をSiGeキャップ層の有無で比較したSEM写真（図面代用写真）である（（a）はキャップ層が無い場合、（b）はキャップ層を形成した場合）。

【図3】アイランド化とGe膜厚・アニール温度との関係を示すグラフである。

【図4】アニール前後の試料の断面のTEM写真（図面代用写真）である（（a）アニール前、（b）430℃-10分、（c）680℃-10分）。

【図5】アニール前後の試料のX線回折スペクトルである。

【図6】Si基板上に成長したGe膜の断面のTEM写真（図面代用写真）である。

【図7】図6における界面の拡大TEM写真（図面代用写真）である。

【図8】第2のアニールの有無を比較した4結晶のX線回折のスペクトルである。

【図9】第2のアニールの効果を示す断面のTEM写真（図面代用写真）である（（a）最後のアニールを行っていない場合、（b）最後のアニールを行った場合）。

【図10】Ge膜上にSi層を成長していないものの断面のTEM写真（図面代用写真）である。

【図11】Ge膜上にSiを成長したものの断面のTEM写真（図面代用写真）である。

【図12】Ge膜上のSi成長の有無を比較した4結晶のX線回折のスペクトルである。

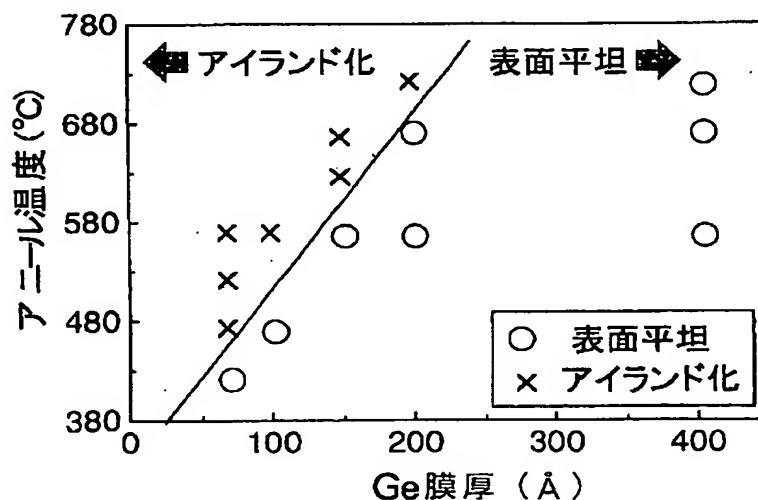
【図13】本発明によるデバイスの製造プロセスの模式図である。

【図14】PINフォトダイオードの逆バイアスと暗電流との関係を示す図である。

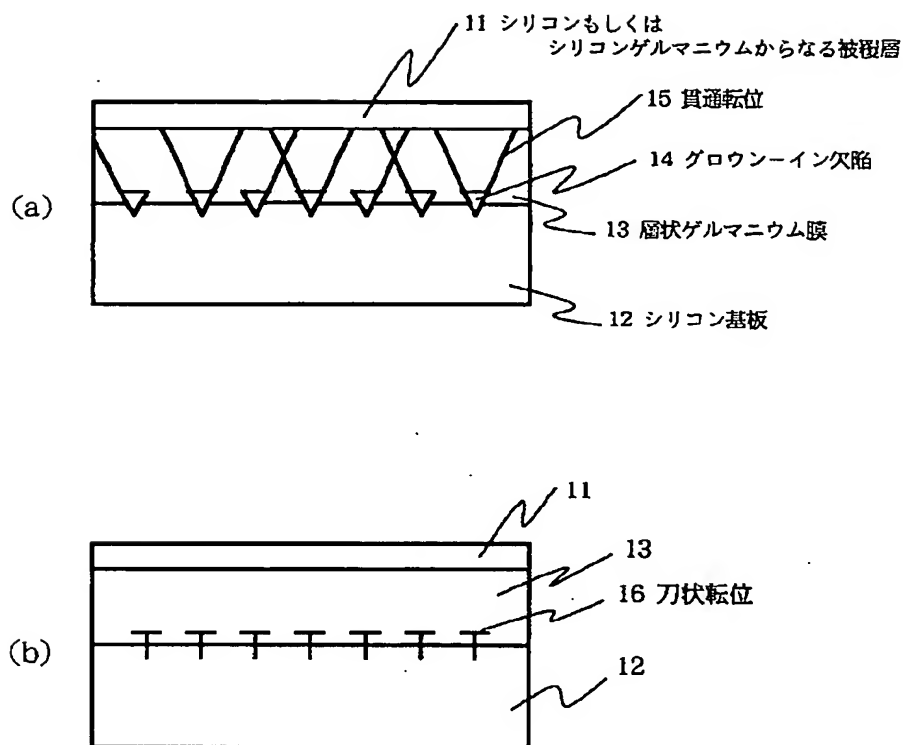
【符号の説明】

- 11 シリコン若しくはシリコンゲルマニウム混晶からなる被覆層
- 12 シリコン基板
- 13 層状ゲルマニウム膜
- 14 グロウン-イン欠陥
- 15 貫通転位
- 16 刃状転位

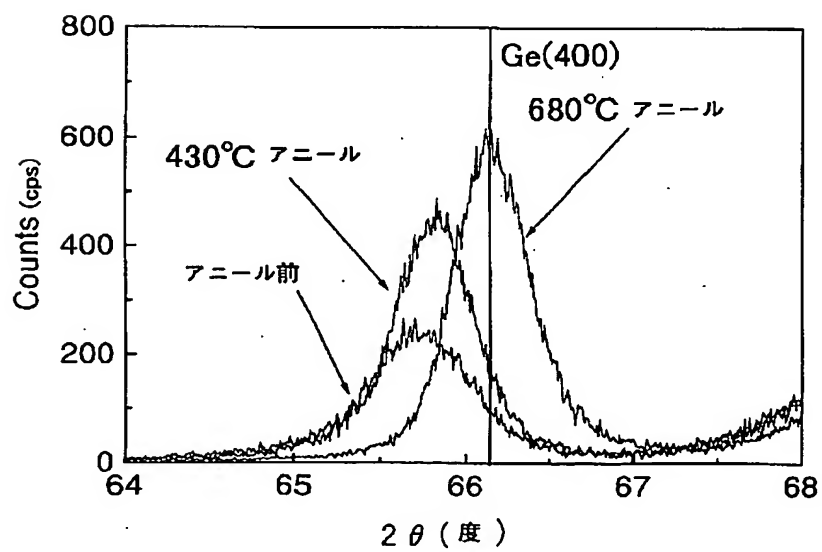
【図3】



【図1】



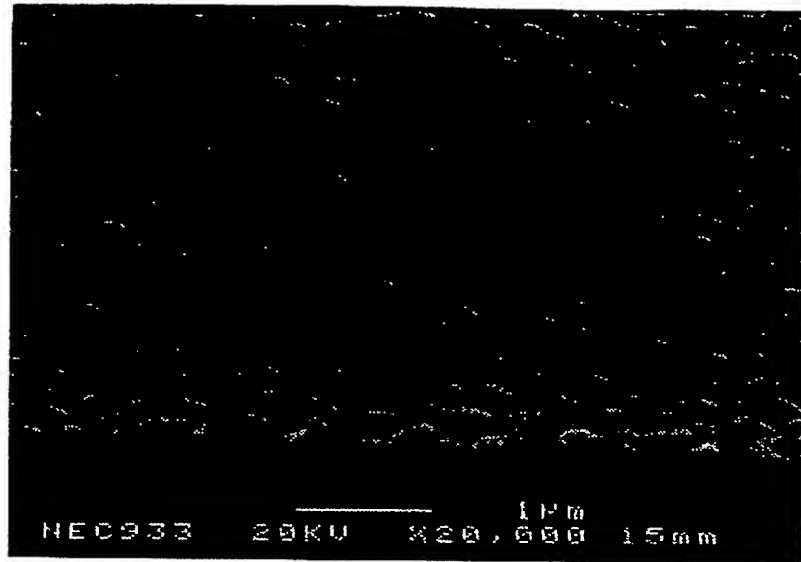
【図5】



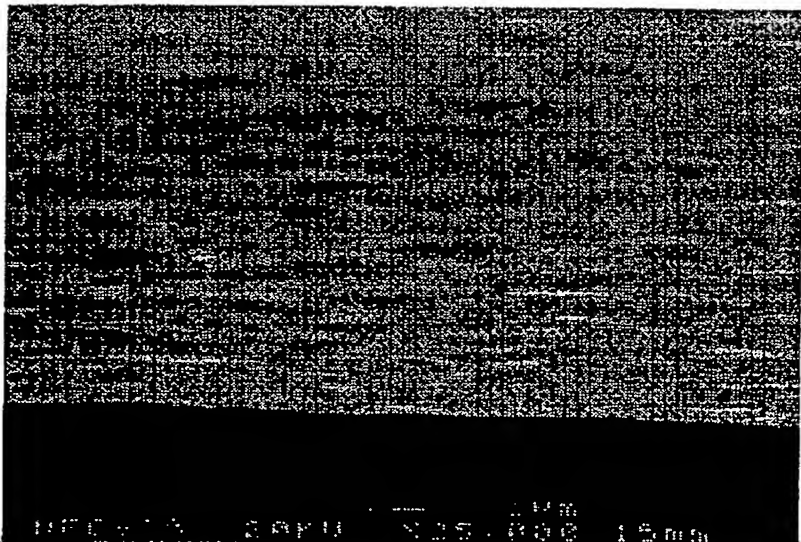
【図2】

図面代用写真

(a)



(b)



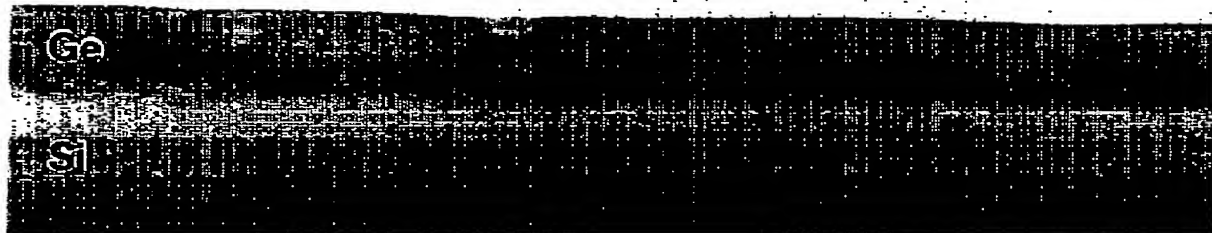
【図4】

(a) アニール前

図面代用写真



(b) 430°C - 10分 アニール



(c) 680°C - 10分 アニール

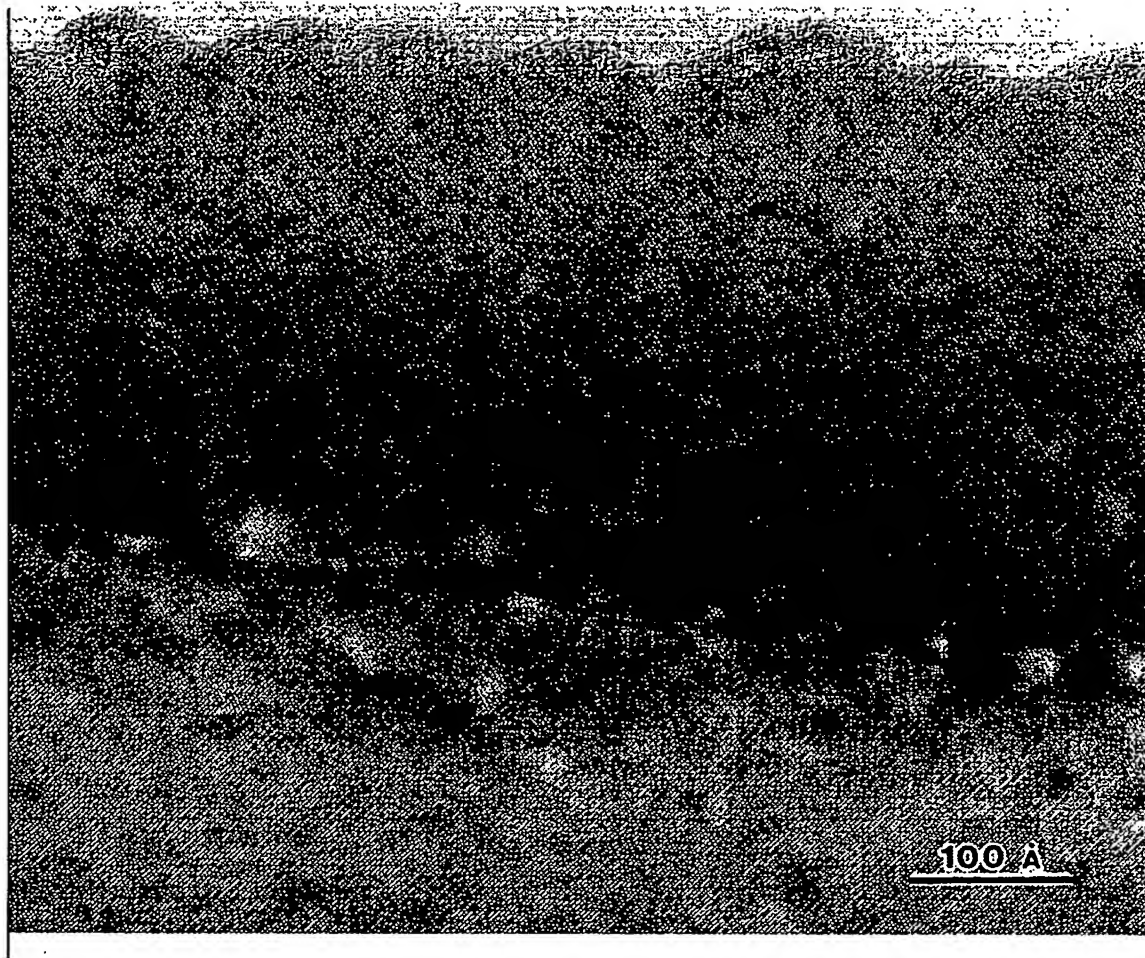


【図6】

図面代用写真

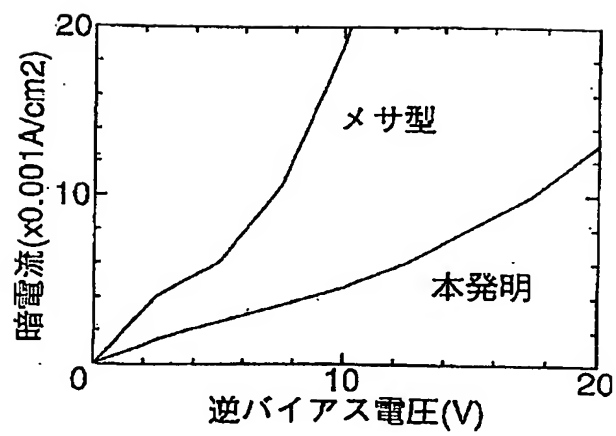


【図7】

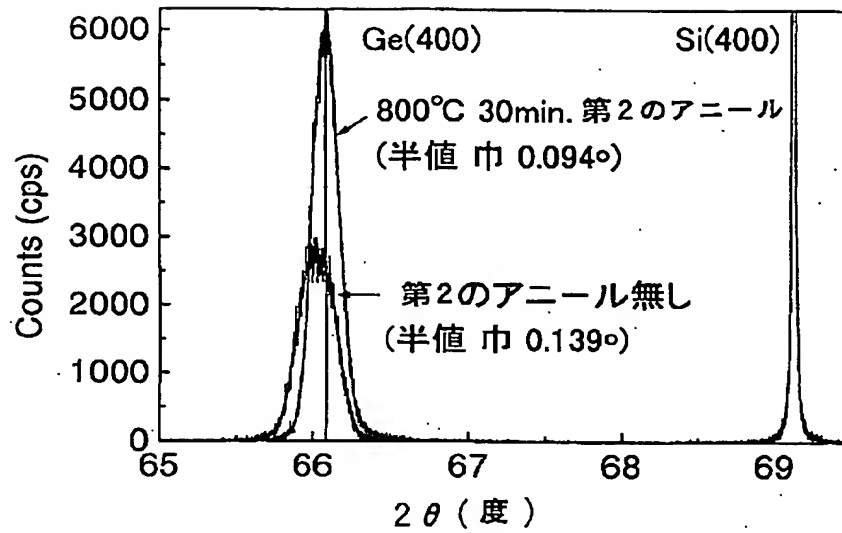


図面代用写真

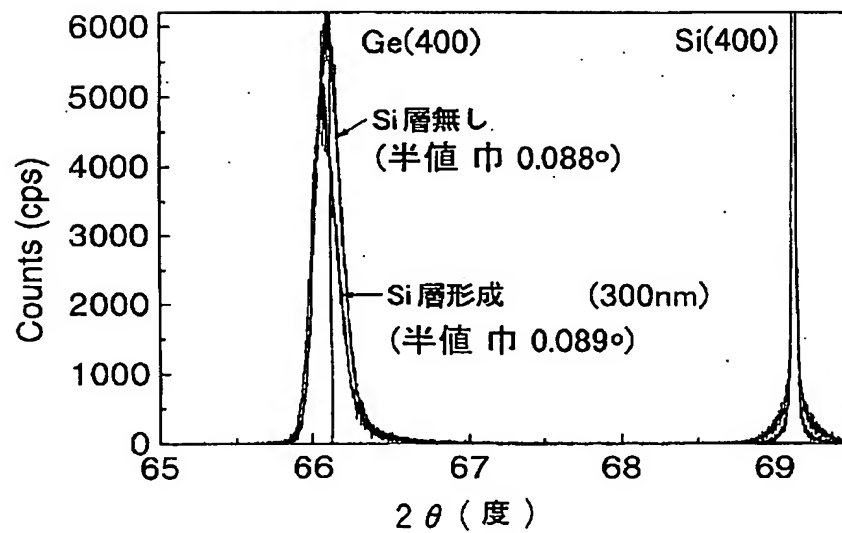
【図14】



【図8】

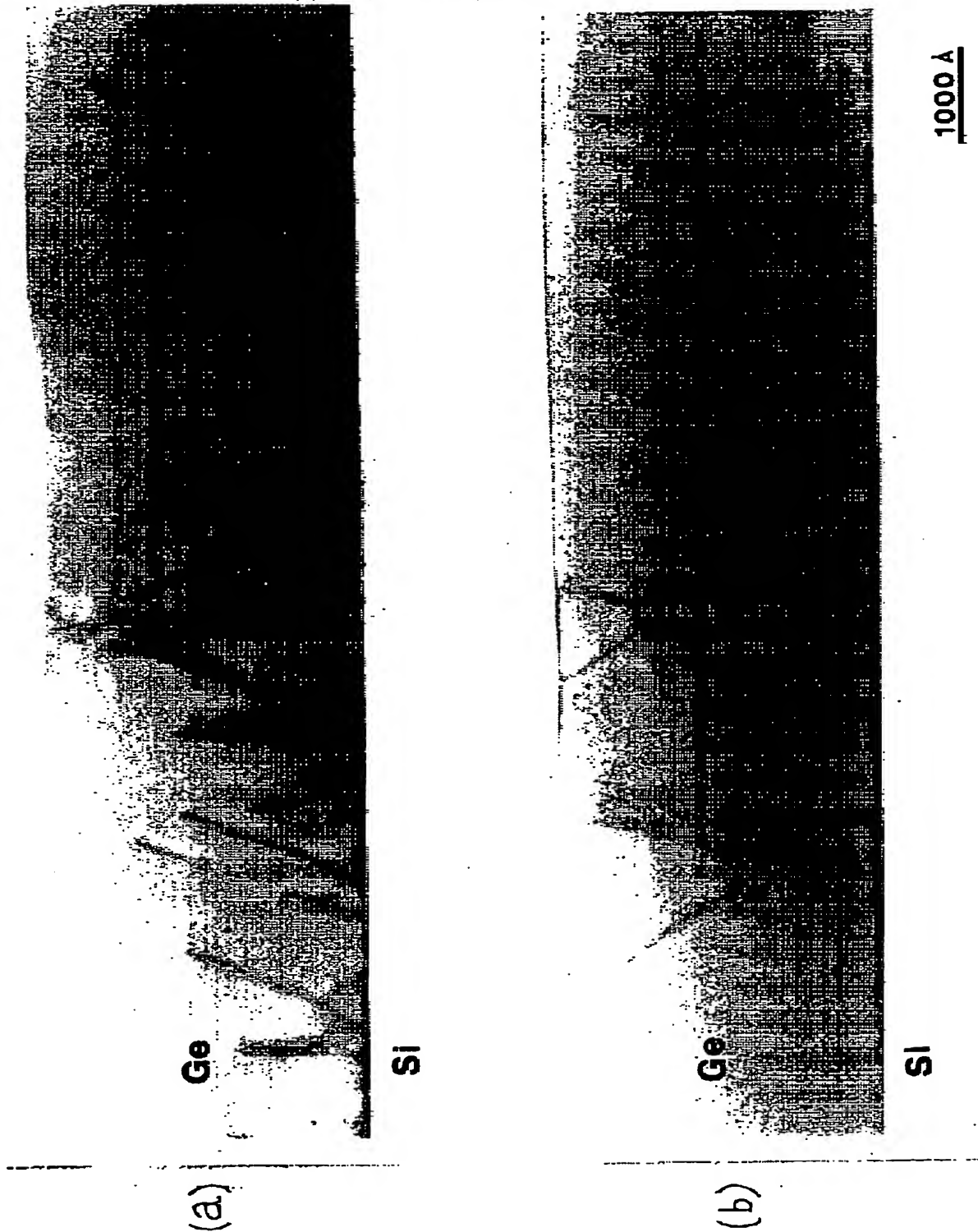


【図12】



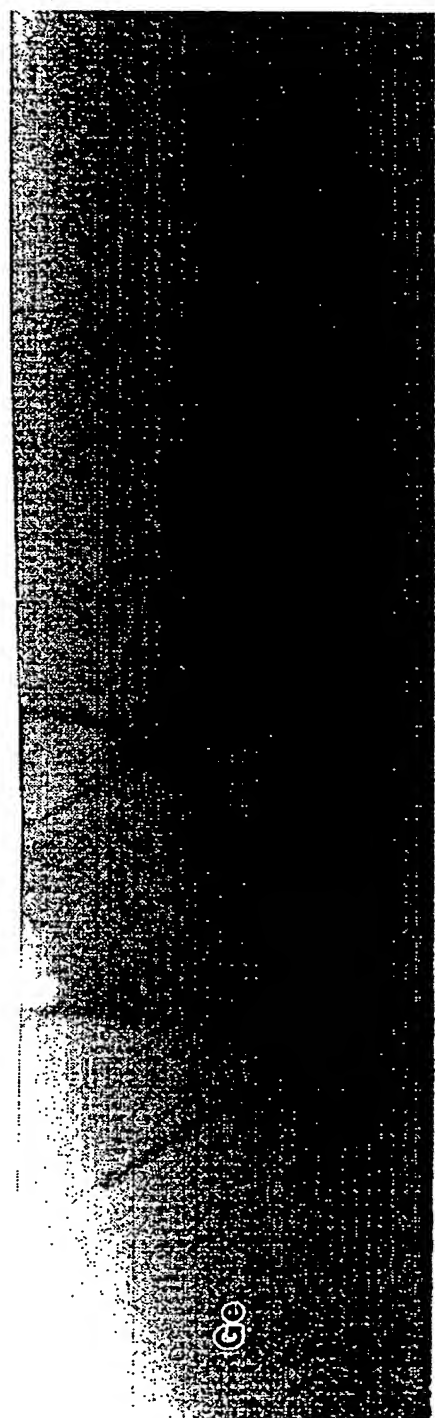
【図9】

写真用代用図面



【図10】

図面代用写真

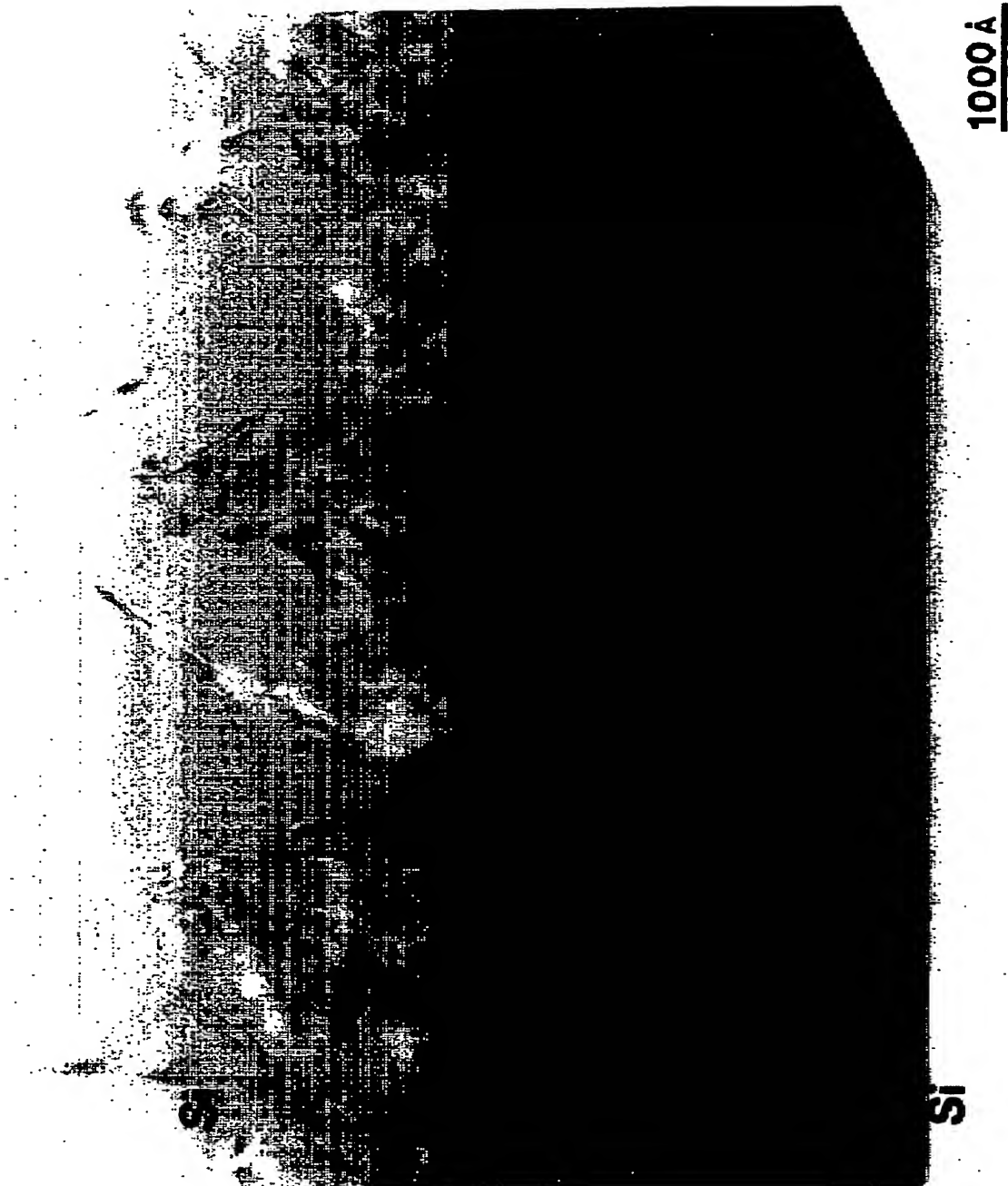


1000 Å

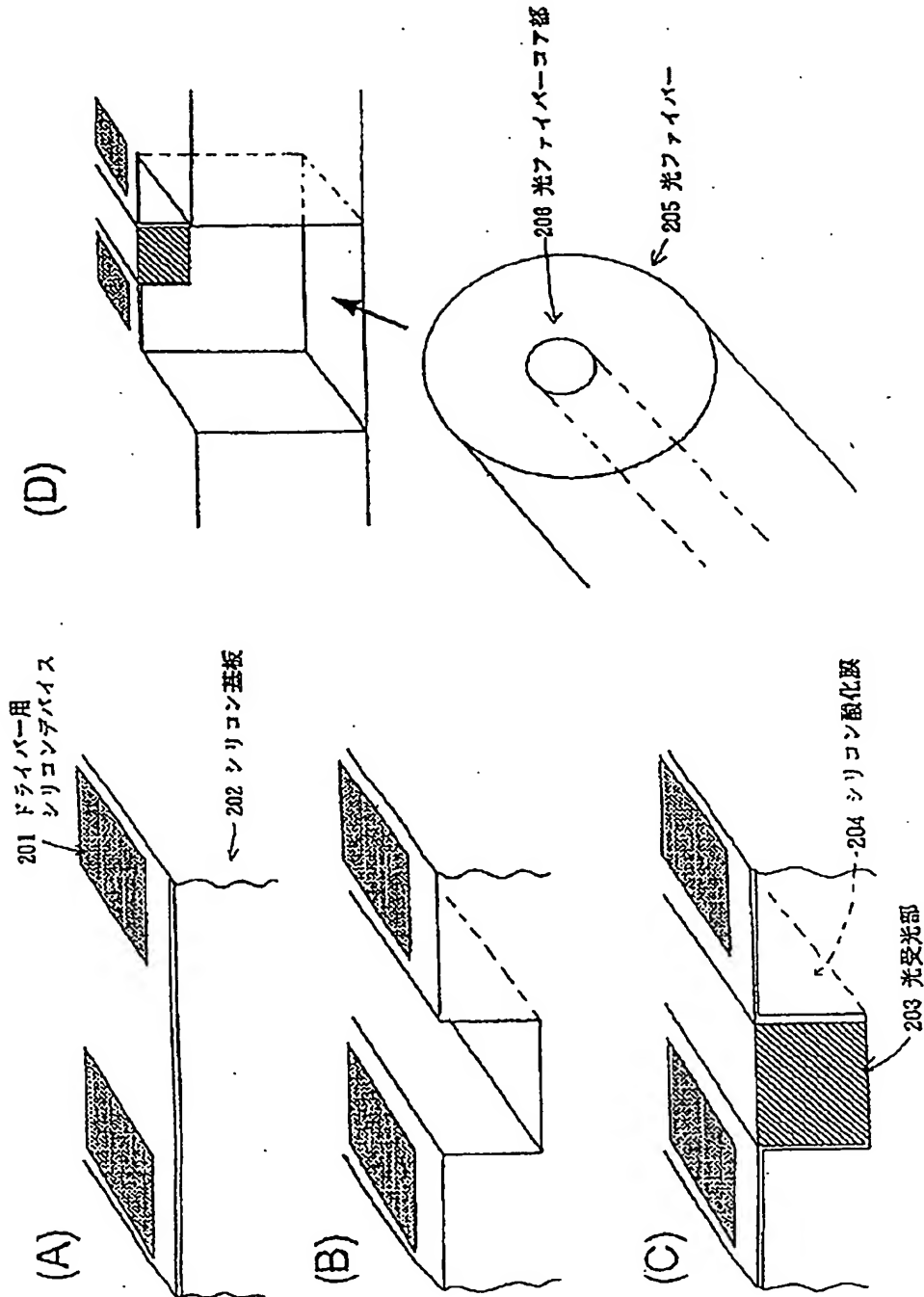
Si

【図11】

図面代用写真



【図13】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.